

汎用エンジンの性能評価法に関する一検討

2G-10

菅沼直昭 澄川文徳 富田昌宏 平野浩太郎

神戸大学

1. はじめに

FPGAとメモリから構成された汎用エンジン^[1]は、複数の用途に適用可能な点を特徴とする。我々はこれまでに、そのプロトタイプとしてRM-I (Reconfigurable Machine-I)^[2]およびRM-II^[2]を開発し、論理設計支援や画像処理等への応用を実現した。本稿では、複数の処理を高速化するハードウェア・プラットフォームとしての汎用エンジンRM-Iを方式および構成面から検討するため、確率モデル^[3]を用いてその性能と適用領域に関する評価を行った結果について報告する。

2. 汎用エンジンの概念とRM-Iの構成

2.1 汎用エンジンの概念

汎用エンジンは、電気的に書き換え可能なFPGA (Field Programmable Gate Array)とメモリの組合せによって構成され、複数の用途への適用が可能である。ゲートレベルでプログラム可能とすることによって、ワイヤード論理を用いたエンジンを柔軟に構築可能とし、高い柔軟性と処理性能の両立を実現する。

我々は、これまでに汎用エンジンの概念に基づいたプロトタイプとしてRM-I (Reconfigurable Machine-I)とRM-IIを開発した。以下に本稿で議論の対象とするRM-Iの構成を示す。

2.2 RM-Iの構成

RM-Iの構成を図1に示す。RM-Iでは、対象とするアルゴリズムを実現する実行モジュールに約20Kゲート規模の回路が構築可能である。メモリは総容量392Kbyteを4つのバンクに分割し、それぞれのメモリバンクは対応するFPGAからのみアクセスされる。そ

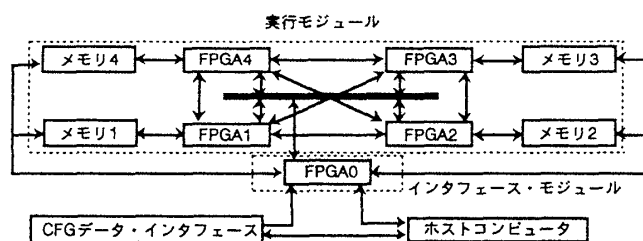


図1 RM-Iの構成

れぞれのFPGAは完全結合の信号線とグローバル・バスで結ばれている。これまでにRM-I上に論理診断手法と論理シミュレーションを実行するエンジンを構築した。

3. 性能評価

3.1 性能を左右する要因

汎用エンジンでは、一つのFPGA内に実現できるゲート数の制約から処理単位が複数のFPGAにまたがる場合が多い。このため、一つのFPGAで行なわれる処理の粒度は比較的細かいと考えられる。したがって、FPGA間の通信が頻繁に行なわれることが想像される。何らかの処理を汎用エンジン上に実現するにあたって、処理速度向上のためには、個別配線、グローバル・バス等での衝突を可能な限り回避する工夫が必要である。ここでは、RM-Iの個別配線とグローバル・バスについて、これを確率モデルによって評価する。

3.2 性能評価モデル

RM-Iは、それぞれのFPGA内での処理及びローカルメモリへのアクセスは競合なく行なえるので高速に実行可能である。そこで、それぞれのFPGAを図2に示す状態遷移図でモデル化する。各FPGAは、基本的には演算(ローカルメモリアクセスを含む)、グローバル・バスによる通信、他の3つのFPGAとの一対一の通信の5つの状態を遷移する。ただし、通信では相手となるFPGAが通信状態とならない場合は待機状態になるものとする。5つの状態を遷移する確率を各FPGAごとに与え、これらが成すマルコフチェーンを解析し、定常状態において待機状態となる確率を求め、これによってRM-Iの性能をFPGA間の個別配線とグローバル・バスの使い方の面から評価する。

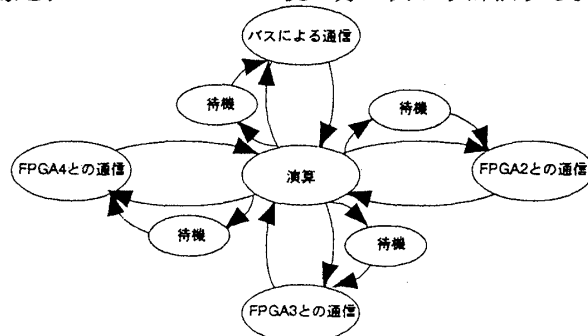


図2 FPGA1の状態遷移

3.3 評価項目

評価項目を以下に示す。

(1) FPGA間通信量の偏りが性能へ与える影響の評価
ある特定のFPGAに対する通信量が増したときの性能の劣化を評価する。

(2) 個別配線とグローバル・バスへの外部端子の割り当てが性能へ与える影響の評価

RM-Iでは、メモリ関連に42本（データバス24本、アドレスバス15本、制御線3本）、またエンジン全体で使用する制御線等に6本の外部端子が使用される。ザイリンクス社のFPGAであるXC3090^④は144本の外部端子を持つので、個別配線とグローバル・バスに使用できるピン数の総計は96本となる。したがって、グローバル・バスに N_g (bit)、個別信号線に N_i (bit)を使用したとすると、

$$N_g + 3 \times N_i \leq 96 \quad (1)$$

が成立する。この条件の下で、 N_g と N_i の変化による待機状態の変化を評価する。

3.2で述べた確率モデルはRM-Iの機能を十分に表現しているとはいえないが、RM-IのFPGA間配線の使い方が性能へ与える影響を一般的に評価することは十分に可能であると考えられる。

3.4 評価結果

RM-I上を実現した論理診断エンジンの動作をもとに評価を行なった結果を図3と図4に示す。図3は通信量の偏りと性能の関係について、偏りが無い場合の性能を1とし、その他の場合はこれに対する割合を示す。また、図4は個別配線とグローバル・バスの信号線数と性能の関係について、最も性能が高い場合を1とし、その他の場合はこれに対する割合を示す。

これらの結果から、RM-Iに関して以下の事項が考察される。

(1) 通信量の偏り

通信量が偏る原因としては、アーキテクチャ・回路分割及びメモリへのデータ分割の影響が挙げられる。回路分割が不適当な場合は、データパスが複数のFPGA間にまたがるため、特定のFPGA間の通信量が増加することが考えられる。またメモリへのデータ分割が不適当な場合は、一つのメモリバンクにデータが集中し、FPGA間の通信量が偏ることが考えられる。FPGA間の通信量が偏らないように、回路のFPGAへの分割及びデータのメモリへの分割を行なうことが重要である。

(2) 外部端子割り当て

個別配線とグローバル・バスへの外部端子の割り当て方がRM-Iの性能に影響を与えることがわかる。RM-I上を実現するアルゴリズムの中には本質的にグローバル・バスを用いない性質のものや、処理単位となるデータ長が小さいものも考えられるので一概

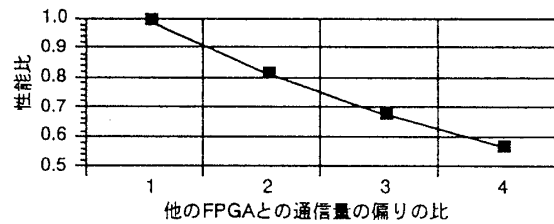


図3 通信量の偏りと性能の関係

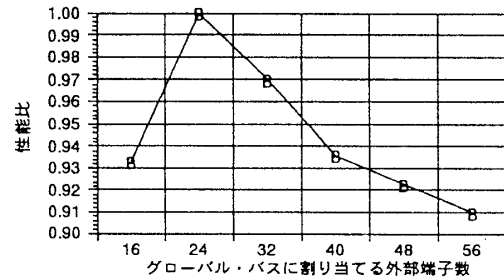


図4 外部端子の割り当てと性能の関係

には言えないが、一般的には(1)の制約下で、個別配線やグローバル・バスのいずれかに極端に多くの外部端子を割り当てるのは得策でないといえる。また、RM-Iの構成において、FPGA数をこれ以上増やすことはFPGA間配線のいずれにも十分な外部端子数を割り当てられない可能性があり、拡張による性能向上に問題があると考えられる。

4. まとめ

RM-Iの性能をFPGA間の個別配線とグローバル・バスの使い方の面から確率モデルによって評価した。その結果、処理の高速化を図るには、FPGA間の通信量の偏りをできるだけ減らす回路分割およびデータのメモリへの割り当てが必要であることが明らかとなった。また、外部端子数の制限がRM-Iの性能に影響を与えることが明らかとなった。今後の課題としては、様々な形態を持つ汎用エンジンの性能評価によって、汎用エンジンのアーキテクチャと適用範囲の関係を明らかにすることが挙げられる。

参考文献

- [1] 菅沼直昭, 村田之広, 富田昌宏, 平野浩太郎, "汎用エンジンの開発と論理診断への応用," DAシンポジウム'92, pp. 89 - 92 (1992).
- [2] 富田昌宏, 菅沼直昭, 澄川文徳, 平野浩太郎, "汎用エンジンRM-IIの構成," 並列処理シンポジウムJSP'93論文集, pp. 151 - 158 (1993).
- [3] Marco Ajmone Marsan and Mario Gerla, "Markov models for multiple bus multiprocessor systems," IEEE Trans. Comput., vol. C - 31, no. 3, pp. 239 - 248, Mar. (1982).
- [4] プログラマブル・ゲートアレイ データブック, ザイリンクス社 (1990).