

ゲートアレイを用いた教育用マイクロプロセッサの開発

三浦 敏孝, 小野寺 毅, 石井 吉彦, 村岡 洋一

2G-6

早稲田大学理工学部

1 はじめに

半導体デバイスの集積度向上やASIC技術の進展に伴い、集積回路設計技術および計算機ハードウェア設計教育の必要性も高まっている。一方、CAD技術の成熟と小型コンピュータの性能向上により、ハードウェア設計教育のための環境も整いつつある。このような状況の下、シミュレーションやFPGA(Field Programmable Gate Array)を用いてマイクロプロセッサ設計演習が既に行なわれている[1][2]。

これに対し、我々は、マイクロプロセッサ設計演習をゲートアレイ上で行うことにし、学生が自らの手で設計、検証、製造後の評価までの工程を一通り通した場合のハードウェア量や工数を測定するための試作を行った。

本稿では、このマイクロプロセッサ試作の工程と試作したマイクロプロセッサについて述べる。

2 マイクロプロセッサ開発の工程

LSIメーカーのゲートアレイ製造工程にもとづき、次のような工程を経る実習を計画している。

1. 仕様決定
2. 論理設計、回路図入力
3. 論理検証
4. 故障検出用テストパターン作成
5. メーカーにて検証、配置配線
6. メーカーにてES(Engineering Sample)製造
7. 評価用周辺ハードウェア作成
8. 評価

本試作もこの手順に従った。

A case of developing a microprocessor for education purpose using gate arrays

Toshitaka Miura, Takashi Onodera, Yoshihiko Ishii, Yoichi Muraoka

School of Science and Engineering, Waseda University

表 1: 試作プロセッサの諸元

| | |
|----------|-----------------------------------|
| バス構成 | 1バス方式 |
| 演算方式 | アキュムレータ方式 |
| メモリ空間 | 内蔵RAM 12bit×256語 |
| 入出力方式 | 専用ポート入出力各1語 |
| 命令語長 | 12bit固定 |
| 命令種 | 11 |
| 使用ゲート数 | プロセッサ:約1700, メモリ:約15000 |
| テストパターン長 | プロセッサ:約7800ステップ メモリ:約20000ステップ |
| 開発工数 | 670時間・人 |

3 試作したマイクロプロセッサの概要

3.1 仕様

試作したマイクロプロセッサの仕様は、学生が設計から評価までの全工程を半年の授業で体験できる程度に回路規模を小さくするため、コンピュータとして動作するのに必要な最小限の仕様(表1)とした。

3.2 開発環境

試作に使用したデバイスは東芝製TC-140G、使用したCADツールはCadence Design Systems社のDesign Entry(回路図入力ツール)、Verilog-XL(回路シミュレータ)および東芝デザインキット(シミュレーション用データを伴った論理回路部品ライブラリ、テストパターン記述言語からなる)である。

3.3 テスト支援回路

一般に行われるスキャン設計は学生実験では完全な実施が期待できないため、より簡素な方法を用いた。

プロセッサ全体のテストのためには、論理検証でも故障検出でも内部状態を観測できる必要がある。このため、内部信号を出力ピンにマルチプレクスして観測可能にした。一方、内部状態を外部から直接制御する回路は特に設けなかったため、プログラムを実行させることによってしか内部状態を設定できなかった。このため、後述するテストパターン生成ツールを製作した。

表 2: 開発工数の内訳

| 作業内容 | 所要工数 [人・時間] |
|--------------------|----------------|
| 仕様決定 | 20 |
| 論理設計 | 50 |
| 回路図入力 (CAD 学習含む) | 100 |
| シミュレーション (テスト設計含む) | 200 |
| 設計ルールへの適合化 | 200 |
| 評価環境製作 | 100 |

3.4 テストパターン作成

設計した全ての回路について、シミュレーションにより論理検証を行った。論理検証用テストパターンは、階層設計により作られた部分回路ごとに手作業で作成した。

故障検出用テストパターンは、プロセッサ内の全レジスタを活性化し、データバス部分の機能を検証できるような命令列を手作業で作成し、命令列からテストパターンを生成するツールを制作・使用して生成した。こうして生成したテストパターンによる信号活性化率は98%であった。

3.5 評価

評価用周辺ハードウェアとして、[1]では単体で完結した機能を持つボードを製作していたが、我々は試作したプロセッサをパーソナルコンピュータ(PC)にI/Oを介して接続することにし、試作したプロセッサの動作状況をPCの画面上で観測・制御できるようにした。

4 教育への応用

開発に要した工数の内訳を表2に示す。

CADツールの使用法の習得に要する時間は、適切に要約された教材を用意することによって5時間程度まで縮めることができる。また、設計ルールに回路を適合させる作業は、デザインマニュアルを元に要約された資料を用意すれば、設計ルールに配慮するために回路の論理設計に要する工数が若干増加することに置き換えることができる。

一方、回路図入力とテストパターン作成にかかる工数は回路の大きさに依存するため、32bit CPUのような大きな回路を製作する場合や、割り込みやパイプライン処理のような現在の技術水準を反映した複雑な動作をする回路を製作する場合には、自動論理合成系を用いるか、または部分回路ごとに製作を分担することによってこれらの工数を削減する必要がある。

従って、短い期間に一通りの工程を経験するためには、次のように設計演習の狙いによって実習の内容を変え、全体の工数を授業時間に収まるように小さくする必要がある。

- 集積論理回路の製作を主な狙いとする場合には、回路図入力を用い、アーキテクチャを単純で小規模なものとする。テスト設計も学生の手で行う。
- 現在の技術水準を反映したアーキテクチャ教育を主な狙いとする場合には、自動論理合成系を用いる。また、テスト設計はメーカの Design Automation を利用する。

5 まとめ

本稿では、計算機設計教育における設計演習課題としてゲートアレイ上に実装されるマイクロプロセッサを試作したことを述べた。

半年間の授業で設計・検証・製造後の評価までの工程を一通り学生に経験させるとき、回路図入力と検証にかかる工数が開発全体に占める割合が高くなることを述べ、これらの工数を抑えるために製作するプロセッサのアーキテクチャを単純で小規模なものにせざるを得ないことを示した。

今後、本稿で述べた試作の結果を踏まえて実習を実施するが、なお次に挙げる課題がある。

- テストパターン作成の工数削減
- 回路を設計ルールに適合させる作業の工数削減

本試作の結果を更に検討し、これらの課題を解決する方法を探っていく。

参考文献

- [1] 越智 裕之, 澤田 宏, 岡田 和久, 上嶋 明, 神原 弘之, 濱口 清治, 安浦 寛人: “計算機工学・集積回路工学教育用マイクロプロセッサ KUE-CHIP2,” 電子情報通信学会技術研究報告, CPSY92-46, (1992)
- [2] 末吉 敏則, 田中 康一郎, 柴村 英智: “再構成可能な論理 LSI を用いた教育用マイクロプロセッサ:KITE,” 電子情報通信学会技術研究報告, CPSY92-47, (1992)
- [3] 諸富 聡, 村上 和彰, 安浦 寛人: “計算機工学一貫教育用 DLX 風マイクロプロセッサの開発構想,” 情報処理学会研究会報告, ARC98-14, (1993)