

バイナリニューロンのハードウェア化

5N-9

山下 博司 黒川 恭一 古賀 義亮

防衛大学校 情報工学教室

1. はじめに

ニューラルネットワークの最大の特徴は、情報の並列処理にある。この特徴を活かすためには、そのハードウェア化が必要である。現在までのところアナログ回路による方法、光・アナログ回路による方法、デジタル回路による方法等、各種の方法によってハード化が試みられている。¹⁾

一方我々は、バイナリニューロンによる相互結合型ニューラルネットワークの構成法として、ローカルアービタを利用したバス結合方式による構成法を提案している。²⁾本報告においては、このニューラルネットワークのデジタル回路によるハードウェア化を提案する。

2. バイナリニューロンの特徴

バイナリニューロンによる相互結合型ニューラルネットワークは、各種の組み合わせ最適化問題を効率的、かつ高速に解くことができることが既に報告されている。³⁾バイナリニューロンには、①1ビットの出力、②決定論的状態遷移、③内部活性値(記憶)を持つ、④シャープニングやアニーリングなどの特別な操作が不要等の特徴があるため、現在最も進歩している CMOS VLSI への適合性が良好である。

3. 動作式の概要

バイナリニューロンの動作式は、その内部活性値 U の変化分を表わす微分形として、1つ以上の抑制性の項と1つ以上の興奮性の項とからなる多項式で表わされる。一般的には、

$$\frac{dU}{dt} = \sum_i k_i \cdot F_i$$

と表わされる。ここで k_i は i 項の整数の係数、 F_i は i 項における以下に示すような関数である。

現在までに提案されているバイナリニューロンの動作式を解析すると、 F_i は大きく2つのタイプに

分けられる。1つめのタイプは、その項に関連して結合のある他のニューロンの発火個数が一定数を越えたか越えないかにより作用する項であり、

$$F_i = f\left(\sum_j S_{ij} \cdot V_j, N_i\right)$$

と表わされる。ここで S_{ij} はニューロン j とのシナプス結合を表わす関数であり、その関数値としてはシナプス結合がある場合1を、そうでない場合0を取る。一方、 V_j はニューロン j の発火状態を表わす1又は0の数値、また $f(x,y)$ は x の値が y を越えたとき1そうでないとき0となる関数であり、 N_i は関数 f の基準値である。

2つめのタイプは、シナプス結合しているニューロンの発火個数に応じて作用する項であり、

$$F_i = \sum_j S_{ij} \cdot V_j$$

と表わされる。

4. 項生成ユニット

上記の抑制性または興奮性の項は、「項生成ユニット」において実現する。図1に項生成ユニットの構成を示す。図中の TYPE 信号を切り替えることによって上記2つの F_i のタイプを実現している。

TYPE 信号が0のとき、項生成ユニットは1つめのタイプの項を実現する。カウンタレジスタに格納されている基準値 N_i を各イタレーションのはじめにダウンカウンタにロードし、シナプス接続されているニューロンの発火($S_{ij} \cdot V_j=1$)がローカルバスを介して知らされるたびにカウンタをデクリメントする。イタレーションの最後の時点までにカウンタの値が0になれば、ウェイトレジスタに格納されている項係数 k_i をセレクタ及びANDゲートを經由して出力する。

TYPE 信号が1の場合は、項生成ユニットは2つめのタイプの項を実現する。イタレーションのはじめにアダーレジスタを0に初期化し、シナプス接続されているニューロンの発火($S_{ij} \cdot V_j=1$)がローカルバスを介して知らされるたびにウェイトレジスタに格納されている項係数 k_i をアダーレジスタに加算

Hardware Implementation of Binary Neuron

Hiroshi Yamashita, Takakazu Kurokawa, Yoshiaki Koga
Dept. of Computer Science, National Defense Academy
1-10-20 Hashirimizu, Yokosuka, Kanagawa 239, Japan

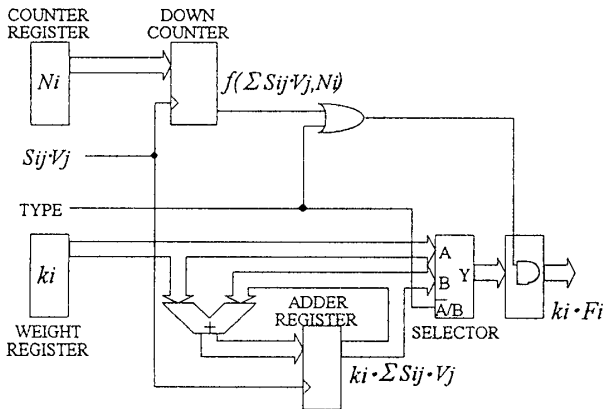


図1 項生成ユニットの構成

することによって項の生成を行っている。

5. 出力生成ユニット

出力生成ユニットでは、まず6つの項生成ユニットにおいて算出された値の総和を取って dU/dt を算出する。この結果をイタレーションの最後の時点においてニューロンの内部活性値 U に加算し、 $U > 0$ ならばニューロンを発火 ($V=1$) させ、そうでなければニューロンを消火 ($V=0$) させる。

6. バイナリニューロンのハードウェア構成

図2に、バイナリニューロンの構成を示す。ニューロンは、シナプス結合の情報を格納する接続情報RAM、6つの項生成ユニット、出力生成ユニット、ローカルアービタとコントローラ等からなり、ニューロンアドレスバス、ローカルアドレスバス、データバス、アービトレーションバスによって他のニューロン、並びにシステムコントローラと接続されている。ニューロンアドレスは、ニューロンのID番号を示し、ニューロンの識別を行う。ローカルアドレスは、他のニューロンとのシナプス接続の情報を格納する接続情報RAM内のアドレスである。ホストコンピュータからデータバスを通じて接続情報RAMにはネットワーク情報を格納するとともに、項生成ユニットには各項の係数 (k_i) や TYPE 等を、また出力生成ユニットには内部活性値の初期値を格納する。

発火している ($V=1$) ニューロンは、ローカルアービタに対してバスの使用权を要求する。要求のあったローカルアービタは、アービトレーションバスにそのニューロンのID番号を出力する。アービトレーションに勝ち残ったID番号は、システムコン

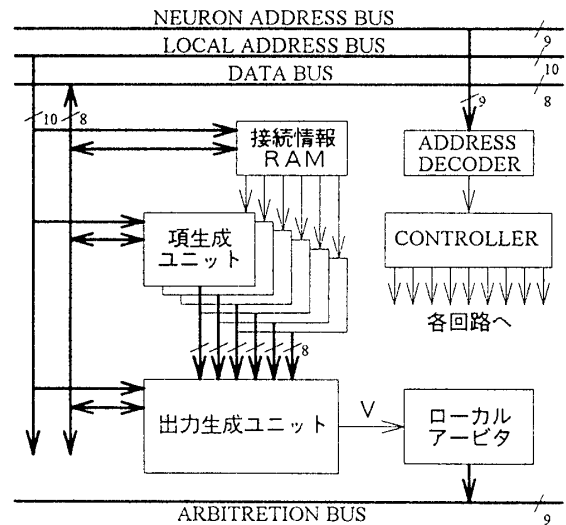


図2 バイナリニューロンの構成

トローラを通じてローカルアドレスバスに出力される。各ニューロンは、接続情報RAM上のローカルアドレスの示すID番号に対応するアドレスに蓄えられているそのニューロンとの接続情報に従って、項生成ユニットにより動作式の各項の値を導出する。各項生成ユニットの出力は、出力生成ユニットで合計されて内部活性値に加算され、ニューロンの発火状態を決定する。

7. おわりに

バイナリニューロンのデジタル回路によるハードウェア化を示した。バイナリニューロンは、CMOS VLSI への適合性がよく、決定論的状态遷移を行い、シャープニングやアニーリングなどの特別の操作が不要であるため、比較的簡単な回路構成により実現することが可能である。今回提案した回路はFPGA(LCA)を用いて実装中であり、初期設定を変換することにより様々なニューラルネットワークを実現することができる。

参考文献

- 1) 平井：小特集：ニューラルネットワークのハードウェア化の動向 Ⅰ. 研究動向について、電学誌, 113巻4月号, pp.263-264 (1993).
- 2) 山下, 黒川, 古賀：バス結合方式による相互結合型ニューラルネットワークの提案, 1993年電子情報通信学会秋季大会講演論文集, D-30 (1993).
- 3) Y. Takefuji : Neural Network Parallel Computing, Kluwer Academic Publishers (1993).