

REDUCTを利用した高検出率分割診断システムの開発と評価

7N-6

松嶋 潤 旦代 三弥子 森脇 郁
(株)日立製作所

1. はじめに

近年、計算機のより複雑な機能実現のために、LSIの高集積化、大規模化が顕著である。複雑なシステムの信頼性向上のためには、計算機を構成するLSIの高品質な検査が必須である。このため大規模な論理回路はスキャン回路を利用して回路を複数の小規模な組合せ回路に分割し診断を行う分割診断システムを利用している。分割診断システムの検出率向上のために、高性能冗長故障判定アルゴリズムREDUCT[1](Redundant Fault Identification Algorithm using Circuit Reduction Techniques)を組み込み大型コンピュータ向けのLSI約100種に適用した。

2. システムの概要

分割診断システムはスキャン設計されたLSIを複数の組合せ回路に分割し、この組み合わせ回路単位にテストパターン生成を行う。組合せ回路処理部では、テストパターン生成アルゴリズム N^2-V [2](N^2 -Valued Test Pattern Generation Algorithm)がテストパターンの生成を行い、 N^2-V で未検出となった故障に対して、REDUCTで冗長故障判定及びテストパターン生成を行う。 N^2-V またはREDUCTで生成されたテストパターンに対して故障シミュレーションが実行される。

これら処理を、すべての組合せ回路に対し繰り返し実行し、全体回路のテストデータを作成する。

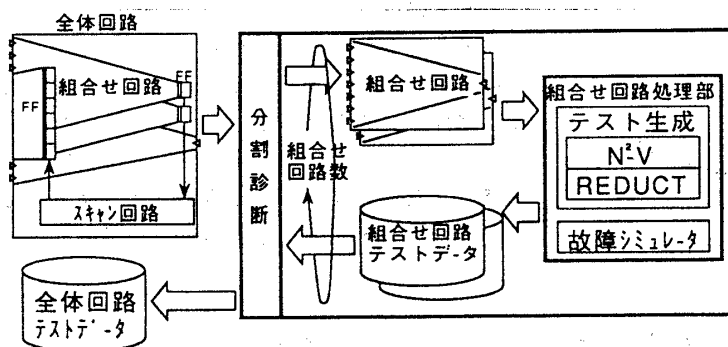


図1 分割診断システムの概要

3. テストパターン生成アルゴリズム

本システムはテストパターン生成アルゴリズムとして N^2-V とREDUCTの2つを利用する。両者共にテストパターン生成と冗長故障の判定を行うが、 N^2-V では主にテストパターンを生成し、REDUCTでは主に冗長故障の判定を行う。

N^2-V は、FAN[3]をベースに基本論理値6値、合成論理値36値に拡張したアルゴリズムである。

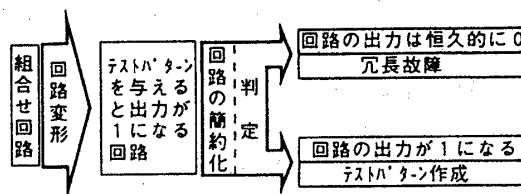


図2 REDUCTの概要

次にREDUCTの概要を図2に示す。REDUCTでは、組合せ回路をテストパターンを入力すると出力が1になる回路に変形する。この変形後の回路は、ブール微分法[4]で導出されるテストパターンを解に持つ方程式の左辺を表現した回路と等価である。次に、この回路の再収斂や先頭信号線の数を回路簡約手法によりダイナミックに回路を変形させながら減少させる。最後に、簡約後の回路で回路の出力が1になり得るかの判定を行い、回路の出力が恒久的に0であれば冗長故障であり、回路の出力が1になればこの時の入力がテストパターンである(詳細は[1]を参照されたい)。

図3は故障検出(冗長故障判定)の困難さとテストパターン生成アルゴリズムの処理時間の関係を表したものである。REDUCTは一つの故障について処理を行うたびに、回路の変型を行うために、検出容易な故障についてもオーバーヘッドが生じてしまう。しかし、REDUCTは回路の再収斂や先頭信号線の数を回路

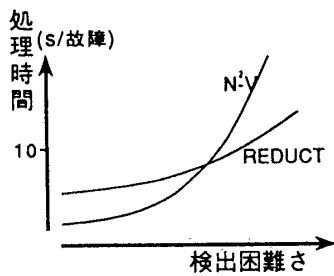


図3 故障あたりのテスト生成時間

の変型により減少させているため、検出が困難な故障(テストパターン生成、冗長故障判定に時間のかかる故障)ではREDUCTの方が短時間でテストパターン生成(又は、冗長故障判定)が可能である。これらの二つのアルゴリズムを併用し、各組合せ回路ごとに N^2-V でテストパターン生成を行い、 N^2-V で未検出となった故障に対してのみREDUCTを実行するようにした。

4. 適用結果及び評価

大型コンピュータ向けLSI(ECL 3~40kゲート)約100種の診断に適用した。

94種で100%の検出率を得、平均検出率99.99%、平均処理時間2.3時間を達成した。

図4に適用結果の検出率と処理時間の分布を示す。ほとんどのLSIで検出率が100%を達成した。しかし、処理時間が7時間を超えるLSIが数種あり、テストデータ再作成時に問題となる事が予想された。この原因を分析した結果、以下のことが判明した。分割診断では回路を複数の組合せ回路に分割するため一つの故障が複数の組合せ回路で重複して

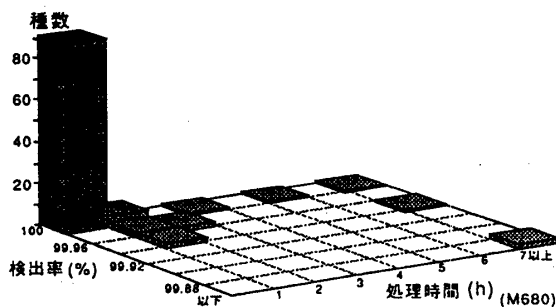


図4 適用結果

<参考文献>

[1] 且代 三弥子, 中田 孝広, 森脇 郁, 新舎 隆夫, "回路簡約手法を用いた冗長故障判定アルゴリズム REDUCT", 情報処理学会第44回全国大会6E-8
 [2] 且代 三弥子, 新舎 隆夫, 森脇 郁, "N²個の論理値を扱うテストパターン生成アルゴリズム", 情報処理学会論文誌, Vol. 30, No. 9, pp. 1211-1218, Sep. 1989.
 [3] 藤原 秀雄, 下野 武志, 尾崎 弘, "組合せ回路における分岐指向型検査入力生成法", 情報処理学会論文誌, Vol. 24, No. 1 pp. 11-17 (1983).
 [4] E. F. SELLERES, M. Y. HSIAO, and T. ARIMA, "Analyzing Errors with Boolean Difference", IEEE Trans. Comput., C-17, No. 7, pp. 676-683, July 1968.

存在する。この故障の検出が非常に困難でテストパターン生成に失敗すると、処理時間の長いREDUCTでの処理数が増え全体の処理時間が増大する。これを防ぐため、このような回路に対しては、図5のように、全組合せ回路での N^2-V によるテストパターン生成終了後、REDUCTを実行するモードを追加した。この新モードで問題となったLSIを実行した結果、図6のように通常モードより短時間で高い検出率が得られることを確認した。

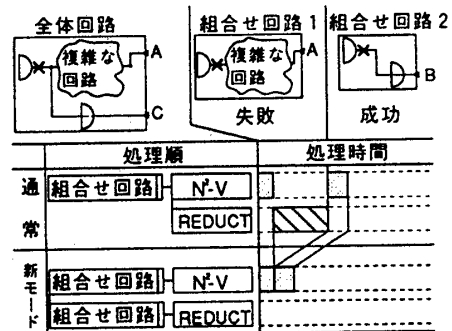


図5 処理時間の短縮

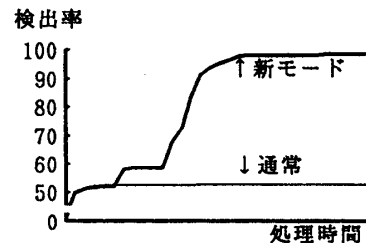


図6 処理時間短縮対策結果

5. あとがき

分割診断システムの検出率向上のためにREDUCTを組み込み、大型コンピュータ向けLSI約100種に適用し、平均検出率99.99%、平均処理時間2.3時間を達成した。また、テストパターン生成アルゴリズムのコントロール方法を工夫することにより、短時間で高検出率が得られることを確認した。