

## Varchsyn(8): タイミング最適化 II

6N-8

浅香 俊治 江村 秀之 河原林 政道 藤田 悟 前田 直孝

NEC

## 1 はじめに

半導体市場での高クロック周波数で動作する LSI への要求が高まり、クリティカルパスの遅延削減が大きな問題となっている。論理合成は合成結果の回路の遅延が、指定された遅延制約を満足することを目的にタイミング最適化処理を行なう。

本稿では、論理合成システム Varchsyn におけるテクノロジーに依存したタイミング最適化手法について述べる。

## 2 概要

タイミング最適化には、最大遅延制約条件を満たすことを目的とする最大遅延削減と、最小遅延制約条件を満たすことを目的とする最小遅延補償がある。

Varchsyn ではテクノロジーに依存した最大遅延削減処理を組合せ回路マッピングとバッファリングで行なう。これらはブロック内遅延、配線遅延、立ち上がり/立ち下がり極性等を考慮するタイミング解析 [1] と全く同一の詳細な遅延モデルを用いて遅延計算を行なうため、正確に最適化効果の判断が可能であり、効果的なタイミング最適化を実現している。

また、タイミング最適化処理中は遅延制約条件を満たすのみでなく、面積制約条件も考慮し、回路付加や構成変更による面積増加を抑えながら処理を施すことにより、面積と遅延のトレードオフを実現している。

## 3 組合せ回路マッピング

組合せ回路マッピングは、Varchsyn の内部データ構造として表現されている論理合成対象回路の組合せ回路部分を、インバータ、2入力 NAND 等のテクノロジーライブラリのブロックにマッピングする処理である。

組合せ回路部分を、2カ所以上のファンアウト先を持つ部分を区切りとして部分木を構成し(図1)、各部分木内を面積最小または最大遅延削減を目的関数として、最適なブロックにマッピングする [2] [3]。

## 3.1 面積最小

面積最小を目的関数に組合せ回路をブロックにマッピングするには、まず各部分木内の面積が最小となるよ

うに部分木内をテクノロジーのブロックにマッピングする。ここで部分木の根及び葉にインバータを持つ場合と持たない場合を考慮して複数候補を生成する。次に各部分木が複数持つ候補の中から部分木間のインバータの総面積が最小となるように、最適な候補を選択する部分木間最適化を行なう。

## 3.2 最大遅延削減

タイミング解析によって発見されたクリティカルパス上にある全ての部分木に対して、クリティカルパスの最大遅延削減を目的関数にブロックにマッピングする。

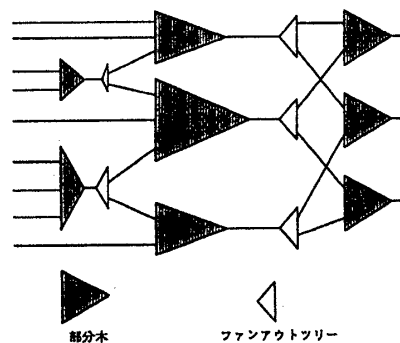


図1. 組合せ回路マッピング

## 4 バッファリング

バッファリングは、タイミング解析によって発見されたクリティカルパス(図2,3,4の太線のパス)上の部分木の根に相当するブロックとそのファンアウトツリー(図1)に対して、ブロック置き換え、バッファツリー挿入、回路2重化を行なうことにより、出力負荷を分散させ、最大遅延を削減する処理である [4]。

## 4.1 ブロック置き換え

同一論理を持ち、且つドライブ能力のより大きなブロックに置き換えることによりファンアウト先の配線遅延を削減し最大遅延削減を行なう(図2(a))。ANDに対するNANDの様な反転論理を持つブロックへの置き換えも考慮している(図2(b),(c))。

## 4.2 バッファツリー挿入

ファンアウトツリーに対してバッファとインバータで作成したバッファツリーを挿入し、バッファツリーの葉

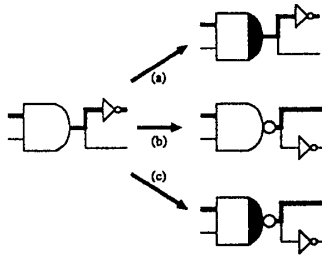


図2. ブロック置き換え

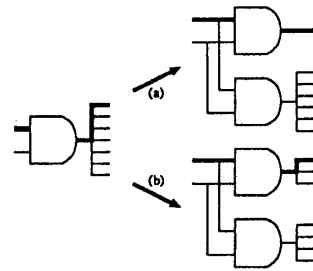


図4. 回路二重化

にファンアウト先を接続することによりファンアウト容量を分散させ、最大遅延削減を行なう。

ファンアウト先の slack の分散が大きな場合はアンバランスな形にバッファツリーを構成し、タイミング要求の厳しいファンアウト先(クリティカルパス)をファンアウトツリーの根に近い方に割り当てることにより効果的に最大遅延削減を行なっている(図3(a))。逆にファンアウト先の slack の分散が小さな場合にはバランスのよい形にバッファツリーを構成し、ファンアウト容量を均等に分配する(図3(b))。

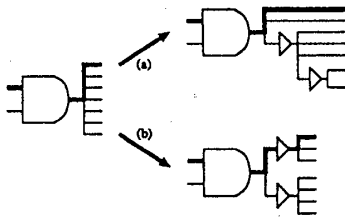


図3. バッファツリー挿入

## 6 実験結果

表1に Varchsyn 上で、最大遅延削減を実行した結果を示す。MinArea は組合せ回路マッピングを面積最小を目的関数に実行した結果である。MinDelay は組合せ回路マッピングを最大遅延削減を目的関数に実行した後にバッファリングを実行した結果であり、回数は組合せ回路マッピングとバッファリングの組合せを実行した回数である。最大遅延削減は面積増加を抑えながら組合せ回路マッピングとバッファリングを順に繰り返し実行することにより、最大遅延削減が効果的に行なえることが分かった。また、面積が大きいほどタイミング最適化の可能性が大きいことが分かる。

表1. 最大遅延削減結果

回路名	MinArea		MinDelay			
	area	delay(ns)	area	1回 delay(ns)	5回繰り返し area	5回繰り返し delay(ns)
5xp1	117	12.08	162(1.38)	8.38(0.69)	226(1.93)	7.35(0.60)
9sym	50	14.06	61(1.22)	13.90(0.98)	66(1.32)	13.54(0.96)
bw	159	10.55	221(1.38)	6.77(0.64)	221(1.38)	6.77(0.64)
duke2	320	18.70	462(1.44)	10.89(0.58)	462(1.44)	10.89(0.58)
f2	22	4.89	30(1.36)	4.16(0.85)	38(1.72)	3.91(0.79)
rd53	23	8.41	31(1.34)	7.56(0.89)	34(1.47)	7.38(0.87)
rd73	36	10.26	43(1.19)	9.82(0.95)	49(1.36)	9.42(0.91)
sao1	48	11.73	61(1.27)	11.29(0.96)	71(1.47)	10.86(0.92)
sao2	135	14.27	179(1.32)	9.98(0.69)	243(1.80)	9.20(0.64)
vg2	73	12.85	100(1.36)	8.96(0.69)	155(2.12)	7.75(0.60)
平均			(1.32)	(0.79)	(1.60)	(0.75)

括弧内の数値は MinArea を 1 とした場合の比率

### 4.3 回路二重化

同一のファンイン、同一の論理を持つブロックを回路に付加し、その付加されたブロックにもとのブロックのファンアウト先の一部をつなぎ代えることにより、一つのゲートがドライブするファンアウト容量を分散させ、最大遅延削減を行なう。

ファンアウト先の slack の分散が大きな場合は付加したブロックにタイミング要求の厳しいファンアウト先(クリティカルパス)を割り当てることにより効果的に最大遅延削減を行なっている(図4(a))。逆にファンアウト先の slack の分散が小さな場合には元のブロックと付加したブロックにファンアウト容量を均等に分配する(図4(b))。

## 5 最小遅延補償

最小遅延制約条件を満たしていない出力端子のファンイン側に直列にバッファを挿入することにより遅延を付加し、最小遅延補償を行なう。

## 7 おわりに

論理合成システム Varchsyn におけるテクノロジーに依存したタイミング最適化について述べた。今後の課題として、より少ない面積増加でより効果的なタイミング最適化の実現や、面積と遅延に加えテスト容易性、消費電力のトレードオフ等がある。

## 参考文献

- [1] 河内他、Varchsyn(6): タイミング解析、第46回情報処全大1993
- [2] 藤田、岩本、渡辺、論理合成システム EXLOG におけるテクノロジーマッピング、第41回情報処全大1990
- [3] Ewald Detjens 他、Technology Mapping in MIS, Proceedings of ICCAD 87 pp 116-119, 1987
- [4] Kanwar Jit Singh, Albert Sangiovanni-Vincentelli, A Heuristic Algorithm for the Fanout Problem, Proceedings of 27th DAC, pp 375-360, 1990