

Varchsyn(7): タイミング最適化 I

6N-7

栗原 武, 吉川 浩, 一柳 洋, 鈴木 重信, 前田 直孝

NEC

1 はじめに

本論文では Varchsyn におけるテクノロジー独立なレベルでのタイミング最適化手法について説明する。シャノン展開による手法とグローバルフローによる手法について述べ、評価結果を示す。

2 シャノン展開によるタイミング最適化

一般に、 n 変数関数 f の変数 x に関するシャノン展開は次式で表せる。

$$f = x_i f_{x_i} + \bar{x}_i f_{\bar{x}_i}$$

(ただし、 $f_{x_i}(f_{\bar{x}_i})$ は f に $x_i = 1(x_i = 0)$ を代入したものである。)

これを用いて展開することにより得られた回路では入力信号 x_i を外部出力に近づけることができる。しかし、一般的にエリアを2倍近く増大してしまうという欠点があった。

2.1 ファンアウトフリー回路のシャノン展開

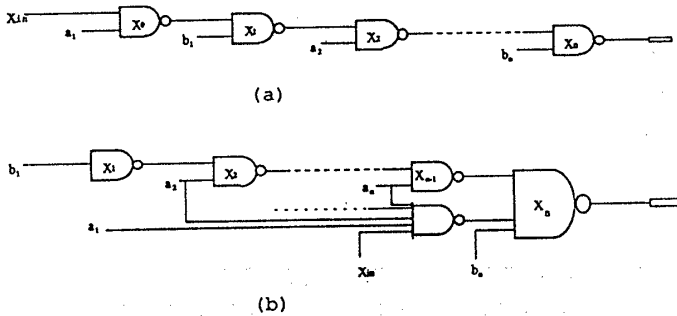


図1 ファンアウトフリー回路に対するシャノン展開

このエリア増加を避けるために変換対象回路を限定することにした。図1 (a) のように回路中のすべてのゲートが分岐を持たない回路(このような回路をファンアウトフリーな回路とよぶ)に対して適用した場合、文献 [1] に示されているように同図 (b) のように変換できる。すなわち入力側から見て奇数段目のゲートの入力となっている x_{in}, a_1, \dots, a_n を入力とする NAND ゲートをつくり、その出力を最終段に入力すればよい。したがって、入力 x_{in} から x_n を通る $n+1$ 段のパスがクリティカルパスであるとすると、この変換

によりゲートを1つ追加するだけで2段のパスとなり、ディレイを改善することができる。図2 (a) のようなシャノン展開による変換可能な部分が限られてくる。そこで、適用可能な部分を増やすためにタイミング改善の可能性が高いパスを多重化することで同図 (b) のようなファンアウトフリー回路に変換している。シャノン展開を適用する部分を選択し、多重化すべきパスを決める手法としては、文献 [2] で提案されている一般化バイパス変換をシャノン展開に適するように変更した手法を用いている。

2.2 バイパス選択

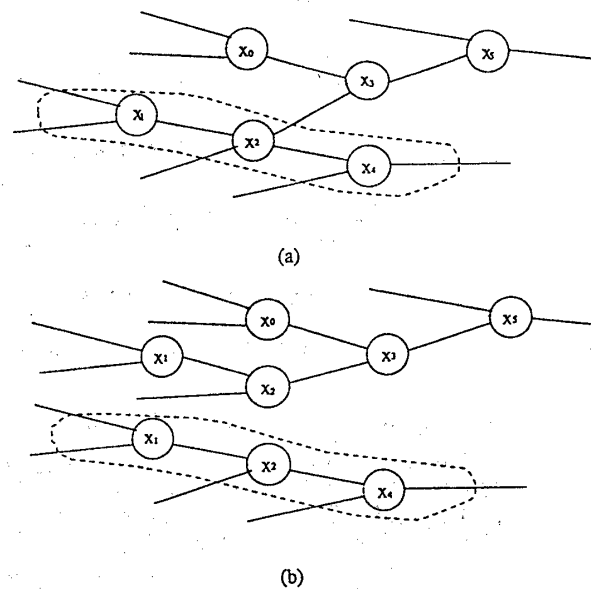


図2 バイパス選択と多重化

実際に我々が取り扱う回路には図2 (a) のような分岐のあるノードが含まれており、そのままでは図1のようなシャノン展開による変換可能な部分が限られてくる。そこで、適用可能な部分を増やすためにタイミング改善の可能性が高いパスを多重化することで同図 (b) のようなファンアウトフリー回路に変換している。シャノン展開を適用する部分を選択し、多重化すべきパスを決める手法としては、文献 [2] で提案されている一般化バイパス変換をシャノン展開に適するように変更した手法を用いている。

ここでいうバイパスとは、クリティカルパスを区分した部分パスのことで、回路変換の候補となる部分である。例えば、図2 (a) の $\{x_1, x_2, x_4\}$ がクリティカルパスであるすると、 $\{x_1, x_2\}$, $\{x_2, x_4\}$, あるいは $\{x_1, x_2, x_4\}$ 自身がバイパスとなり得る。バイパスの長さはもとのクリティカルパスに合流してくるパスが変換後にクリティカルパスにならないように決められる。図2 (b) は $\{x_1, x_2, x_4\}$ をバイパスとして選んだ例を示しており、ノード x_1, x_2 を多重化している。

2.3 処理フロー

シャノン展開の処理フローを図3に示す。

入力する回路はテクノロジーマッピング後でも前でもよい。適当なディレイ・モデルによりタイミング解析をしてクリティカルパスのネットワークを求めた後、このネットワークを切断するパスのカットセットを求め、変換を行う。それを改善できなくなるまで繰り返す。

```

loop{
  (タイミング解析をして、クリティカルパスを求める)
  (バイパスを見つけ出す)
  (バイパスの重み付けを行う)
  (変換するバイパス(カットセット)を求める)
  foreach (カットセットのバイパスについて){
    (必要があれば多重化する)
    (シャノン展開による変換)
    (タイミング解析を行う)
  }
}

```

図3 タイミング最適化処理フロー

3 グローバルフローによるタイミング最適化



—— はクリティカルパスである

図4 グローバルフローによる回路変換

文献[3]に示されるグローバルフローは回路の冗長な接続線を削除する手法であり、入力信号をより出力側に近づけることができる場合がある。例えば、図4に太線で示すようなパスがクリティカルパスであるとするとゲートGへの冗長入力sを削除することで、ゲート2段分ディレイを小さくすることができるとともに、ファンアウトフリー回路となるため前述のシャノン展開の適用範囲を広げることができる。

4 評価結果

表1にシャノン展開の評価結果を示す。データとしては当社のゲートアレイにマッピング済のベンチマークと実データを用いた。表中の(a)は初期回路のブロック数とディレイの値、(b)はシャノン展開実行後のブロック数とディレイの値、(c)は(a)と(b)のブロック数の比率とディレイの比率を表す。また、ディレイの単位はnsである。

5xp1を除く回路でディレイが改善されていることがわかる。特に実データのADDER8とDECについてはブロック数が1.67倍、1.97倍とかなり増大しているが、ディレイは0.74倍、0.45倍と他の回路よりも改善されている。

5 おわりに

以上、バイパス選択を応用したシャノン展開による手法とグローバルフローの冗長な接続線の削除を利用した手法について述べ、評価結果として最大で55%のディレイ改善を得られることを示した。その一方であまり大きな改善を得られない場合もあり、他の手法との融合と使い分けが今後の課題である。

参考文献

- [1] C.L.Berman, et.al. : Efficient Techniques for Timing Correction, ISCAS pp.415-419
- [2] P.C.McGeer, et.al. : Performance Enhancement through the Generalized Bypass Transform, IWLS, 1991
- [3] L.Trevillyan, et.al. : Global Flow Analysis in Automatic Logic Design, IEEE, Trans.Comp., Jan. 1986

表1 評価結果

	(a) 初期回路		(b) 処理後の回路		(c) 比率 (b)/(a)	
	ブロック数	ディレイ	ブロック数	ディレイ	ブロック数	ディレイ
5xp1	140	12.73	140	12.73	1.00	1.00
duke2	340	16.26	404	15.17	1.18	0.93
rd73	31	14.78	36	14.57	1.16	0.98
sao1	50	16.87	55	16.86	1.10	0.99
sao2	157	16.07	190	14.87	1.21	0.92
ADDER8	58	25.69	97	19.11	1.67	0.74
AC24	181	23.15	182	23.14	1.00	0.99
DC	224	14.56	230	13.82	1.02	0.94
DEC	34	31.87	67	14.36	1.97	0.45
c432	297	58.53	317	57.81	1.06	0.98