

Varchsyn(1): 論理合成システムの全体構成

6N-1

前田 直孝 河原林 政道 西口 信行 山内 尚 若林 一敏 一柳 洋

NEC

1 はじめに

半導体技術の進歩はチップ上に搭載可能な素子数を飛躍的に増大させたが、一方で素子数増大に見合った設計工数の確保が困難という問題が顕在化している。この問題の本質的解決法の一つとして、論理合成は近年ますます注目されている。一方、VHDL(VHSIC Hardware Description Language)に代表される標準化の動きは、複雑、多様化する設計の切札として今後さらに進展していくであろう。

本稿では、VHDLを主入力言語とする論理合成システムVarchsyn(Vlsi ARCHitecture SYNthesizer)の全体構成、特徴等に関して述べる。

2 システムの概要

図1にシステムの全体構成を示す。システムは大きく入力系、テクノロジー独立最適化系、テクノロジー依存最適化系、その他の処理に分類される。

2.1 入力系

主入力言語はIEEE標準1076-1987のVHDL[1]のサブセットである。また、当社独自のハードウェア記述言語FDL[2]、ABEL¹記述、簡易入力としての状態遷移記述、論理式、真理値表が用意されている。さらに、特定テクノロジーに依存した回路を別テクノロジーに変換するためにテクノロジー依存ネットリストの入力も可能である。

2.2 テクノロジー独立最適化系

演算シェアリングはVHDL記述中で共有できる演算を自動抽出する処理で、共有する際に生成するマルチプレクサの数も考慮する。本処理は実際にはVHDL入力から呼び出される。

状態コード割り当てはVHDL記述または状態遷移記述により入力されたFSM(有限状態機械)の状態コードを割り当てる処理で、状態間の類似度で初期割り当てを行なった後、シミュレーテッド・アニーリング法で解を改善する。

平坦化は多段論理を2段に変換する処理で回路の一部に対しても適用できる。2段論理単純化は真理値表入力された回路または平坦化された回路に対して積項数最

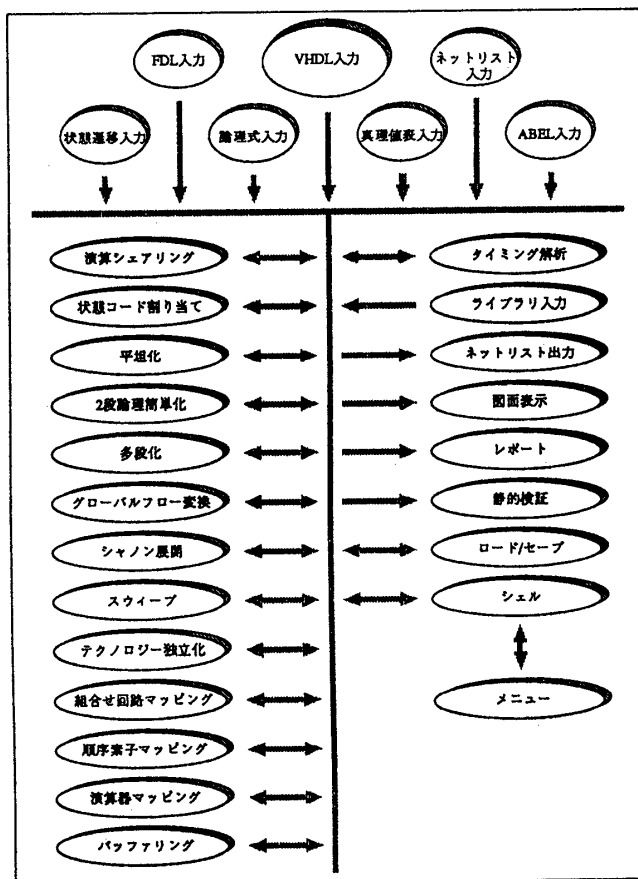


図1: 全体構成

小を目標に2段の論理単純化を行なう。多段化においては対称関数の性質を利用した単純化も行なう。グローバルフロー変換は多段のプリアンネットワーク上で含意解析により単純化、タイミング最適化を行なう。シャノン展開は論理展開処理により到着時刻の遅い信号をより出力側に位置付けることでタイミング最適化を行なう。スイープは不要箇所を削除、定数伝搬等により単純化を行なう。

テクノロジー独立化はネットリスト入力した回路、またはテクノロジー依存処理で一度マッピングした回路を再びライブラリに依存しないテクノロジー独立な回路に戻す処理である。

2.3 テクノロジー依存最適化系

組合せ回路マッピングは組合せ回路部をライブラリで指定されたテクノロジーにマッピングする処理で、詳細なタイミング解析に基づいた面積と遅延時間のトレードオフが可能である。

Varchsyn(1): Logic Synthesis System Overall Structure
N. Maeda, M. Kawarabayashi, N. Nishiguchi,
H. Yamauchi, K. Wakabayashi, H. Ichiryu
NEC Corporation

¹ABELはDATA I/O社の登録商標です。

順序素子マッピング、演算器マッピングはそれぞれリップフロップ等の順序素子、加算器等の演算器をマッピングする処理である。演算器マッピングにおいては4ビットの加算器等のハードマクロブロックも割り付け可能である。

バッファリングはファンアウト容量の大きい箇所にバッファツリーを挿入することでタイミング最適化を図る処理である。

2.4 その他の処理

タイミング解析はタイミング最適化を行なう各処理およびレポートから呼び出され最大遅延、最小遅延解析を行なう。解析においてはライブラリに定義された個々のテクノロジのブロック固有の情報を用いる。配線遅延、立ち上がり、立ち下がり極性も考慮される。

各処理の中間、最終結果はレポート処理で確認し、ネットリスト出力によりレイアウト処理に引き継がれる。合成の結果は図面でも表示、修正可能である。

静的検証はBDDをベースとした静的な論理の一致検証処理で、現版では順序素子は1対1に対応していることを前提としている。

ロード/セーブは処理の中間結果をファイルに保存/復元する処理である。

以上の各処理はVarchsyn固有のシェルからインタラクティブに、またはバッチ形式で制御される。バッチ用にif、while等の制御コマンドも用意されている。さらに、メニュー画面を通してシェルを呼び出すことも可能である。

3 特徴

Varchsynの特徴として以下の点が挙げられる。

- VHDLの採用：国際標準のVHDLを採用することにより、独自言語のみによるインタフェースに比べ各種シミュレータ、その他のツールとの組合せが柔軟で、設計体系の構築を容易にしている。
- 高性能タイミング最適化：詳細なタイミング解析に基づいた各種最適化処理の組合せで遅延時間を改善している。
- 高マッピング機能：演算器マッピングにより多出力の複雑なライブラリブロックも利用可能である。

4 実行例

図2にVarchsynの実行例を示す。本例ではVHDLで記述された回路仕様を入力(vhdl_in)し、多段化(decomp_a)を行なった後、ライブラリ入力(lib_in)、制約条件セット(set_boundary、set_required)、組合せ回路マッピング(treemap_a)、バッファリング(buffer)を実行している。組合せ回路マッピングの-dはタイミング最適化オプションである。レポート(report)で出力ピンにおける最大遅延時間が19.22nsecから、17.53nsec、さらに15.57nsecへと改善されているのが確認できる。

```
varchsyn> vhdl_in test.vhdl
varchsyn> report -cu
*****
REPORT      : cube
MODULE NAME : TEST
DATE       : 93/1/12  17:24:57
*****

number of cubes   :      46
number of literals :      71

varchsyn> decomp_a
varchsyn> lib_in cmos5.chk cmos5.ybl cmos5.bin
varchsyn> set_boundary -a F101
varchsyn> set_required -a 0
varchsyn> treemap_a
varchsyn> report -d
*****
REPORT      : delay
MODULE NAME : TEST
LIBRARY NAME: CMOS5
DATE       : 93/1/12  17:26:33
*****

TA_MODE      : MAX

PORT NAME    TYPE    RISE ARRIVAL    FALL ARRIVAL
-----
SLM  P_OUTPUT    1527 VIOL        1415 VIOL
CKO  P_OUTPUT    1922 VIOL        1788 VIOL
FPO  P_OUTPUT    1922 VIOL        1788 VIOL

varchsyn> treemap_a -d
varchsyn> report -d
:

PORT NAME    TYPE    RISE ARRIVAL    FALL ARRIVAL
-----
SLM  P_OUTPUT    1434 VIOL        1355 VIOL
CKO  P_OUTPUT    1746 VIOL        1753 VIOL
FPO  P_OUTPUT    1746 VIOL        1753 VIOL

varchsyn> buffer
varchsyn> report -d
:

PORT NAME    TYPE    RISE ARRIVAL    FALL ARRIVAL
-----
SLM  P_OUTPUT    1232 VIOL        1174 VIOL
CKO  P_OUTPUT    1552 VIOL        1557 VIOL
FPO  P_OUTPUT    1552 VIOL        1557 VIOL
```

図2: 実行例

5 おわりに

VHDLを主入力言語とする論理合成システムVarchsynの全体構成、特徴等に関して述べた。今後は取り扱えるVHDLのサブセットを拡張していくとともに、各最適化機能の向上を図っていく予定である。最後に、本システムの研究開発に全面的なサポートを頂いた当社C&Cシステム研究所吉村猛部長、ULSIシステム開発研究所北村嘉成部長に深謝します。

参考文献

- [1] "IEEE Standard VHDL Language Reference Manual", IEEE, 1988
- [2] S. Kato, et al, "FDL: A Structural Behavior Description Language", CHDL83, 1983, pp137-152