

5N-1

論理検証システム EVERY7 (I)

菅波 和幸 田中 英俊 飛永 聡 向山 輝 若林 一敏 藤井 利明
 NECソフトウェア北陸(株) NEC(株)

1. はじめに

コンピュータの装置設計は、年々急激に設計の規模が増大している。これに伴う設計期間の増加に対処する方法として、近年、ハードウェア記述言語を用いたゲートレスデザインが提唱されるようになった。

ゲートレスデザインにおいては、レジスタトランスファ(以下RTと記す)レベルの論理回路表現と、ゲートレベルの論理回路図間の、論理の等価性を完全に保証することで、設計期間の短縮が可能である。

当社では、RTレベルの記述言語にFDL(Function Description Language)[1]を用いてコンピュータの設計を行っている。筆者らは、このFDLとゲートレベルのネットリストの論理照合に、フォーマルベリフィケーションを取り入れた論理検証システム・EVERY7を開発した。

2. 開発の背景

①大規模装置検証の効率化

大型汎用機やスーパーコンピュータ等の大規模な装置の検証では、装置レベルのモデルで実際の試験診断プログラムを走行させる論理シミュレーションが必須である。

しかし、装置レベルシミュレーションをゲートレベルで行うには、膨大なマシンリソースと時間が必要である。また、RTレベル記述が作成される設計の初期段階で、論理の正当性を確認することにより、後戻り工数の大幅削減を行い設計期間の短縮を計る必要がある。

そこで我々は、RTレベルで装置シミュレーションを行えるハードウェアアクセラレータ・HALⅢ[2]を開発し、検証の主体をRTレベルのハードウェア記述言語に置いている。

また、レイアウト設計の入力となるゲートレベル記述の回路の品質を確保することを、ゲートレベルシミュレーションを行うことなく効率的に行うためには、RTレベル記述とゲートレベル記述の回路が論理的に等価であることを保証する必要がある。

②ゲートレスデザインの補完

ゲートレスデザインのフローを、図1に示す。

設計者はまず、仕様をもとにRTレベルで回路を記述し、それをシミュレーションすることにより、RTレベル記述が装置仕様を満たしているかの確認を行う。

次に、従来の設計方法では回路図を作成する必要があったが、論理合成ツールの実用化により、現在ではRTレベル記述からゲートレベル記述の自動生成が可能となっている。

しかし、高性能な回路の設計のためには、人手設計のマクロの利用や、クリティカルな回路部分の設計に人手が必要な場合もある。

このような、人手設計の部分が存在する回路においては、RTレベル記述と、ゲートレベル記述との論理の等価性を保証することが必要である。

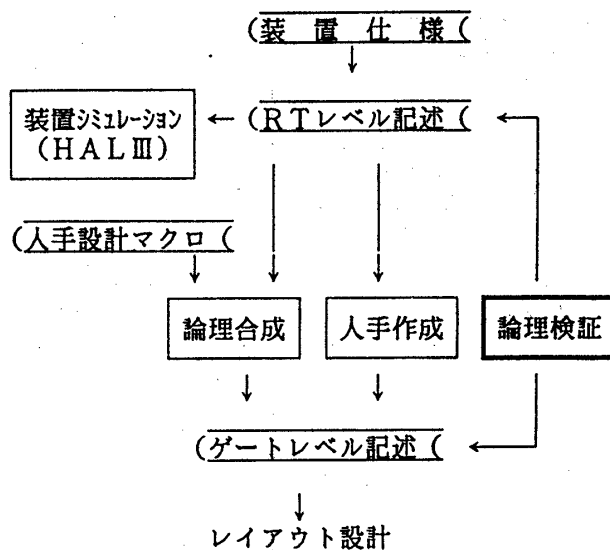


図1 ゲートレスデザインフロー

A Logic Verification System "EVERY7" (I)
 Kazuyuki SUGANAMI, Hidetoshi TANAKA, Satoshi TOBINAGA
 NEC Software Hokuriku, Ltd.
 Akira MUKAIYAMA, Kazutoshi WAKABAYASHI, Toshiaki FUJII
 NEC Corporation.

3. 従来の論理検証システムとその問題点

当社では1983年よりゲートレスデザイン実現に向けて、RTレベル記述とゲートレベル記述のそれぞれを、シミュレーションボタンを用いてシミュレーションし、その出力結果を比較することによって、論理の等価性を照合するシステム[3][4]を確立している(図2)。

この方式においては、シミュレーションボタンの網羅度が、検証能力を大きく左右することになる。

シミュレーションボタンを作成する方法として、RTレベル記述より自動生成する方法とゲートレベル記述より自動生成する方法を用意している。

RTレベル記述の制御構造に着目して生成したボタンは、制御回路の網羅的検証は可能であるが、データパスの検証用ボタンとしてはやや不十分である。

ゲートレベル記述からは故障検出用のボタンを生成する。論理が再収斂した複雑な回路では、高検出率のボタン生成が困難であり、たとえ高検出率のボタンが生成できても、RTレベル記述とゲートレベル記述が、論理的に完全に等価であることを示すことにはならない。

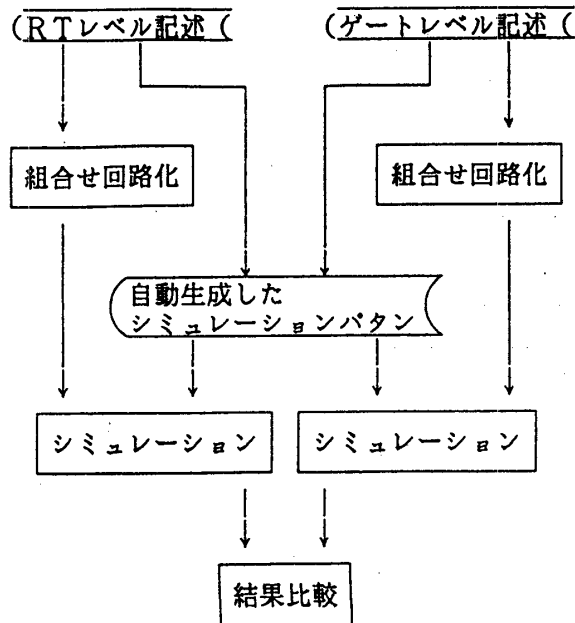


図2 従来の論理検証

このように、ボタンによるシミュレーションでは、回路の等価性を完全には保証できない。その結果、回路の論理エラーの検出がハードウェア検査に持ち越され、LSIのリワークにいたることが予想される。

これを避けるためには、照合度の低い回路に対して、RTレベル記述をゲートレベル記述に置き換えて、再度装置レベルシミュレーションを行い、装置検証の完全化を期していたが、大幅な設計期間の短縮が見込めず、マシンリソースも多く必要となる。

4. EVERY7

前述した問題を解決するために筆者らは、二分決定グラフ(BDD)に着目し、これを利用したフォーマルベリフィケーションを取り入れた論理検証システム・EVERY7を開発した。

本システムは、大規模装置の多人数並行開発を行うために、トップダウンに分割階層設計を行い、設計単位に分割された回路について記述されるRTレベルのハードウェア記述と、ゲートレベルのネットリストとを入力して、両者間の論理照合を行うものである。

本システムにより、論理検証段階での論理エラーの検出漏れを大幅に減少させることが可能となり、また、シミュレーションボタンによる検証と比較して、大幅な検証時間の短縮が実現できた。

その結果、ゲートレベルでの論理検証が不要となり設計期間全体の短縮が実現できた。本システムは、NECの全てのコンピュータの設計開発に用いられており、大きな効果をあげている。

EVERY7の詳細については、論理検証システム・EVERY7(II)で述べる。

参考文献

- [1] Kato, S. and Sasaki, T., "FDL: A Structural Behavior Description Language", CHDL83(1983), 137-152.
- [2] 高崎 茂他 「HALⅢ: 機能レベル・ハードウェア・シミュレータシステム」 情報処理学会論文誌 Jan. 1991 Vol. 32 No. 1
- [3] 加藤 俊一他 「2階層論理検証(I)~(III)」 情報処理学会第29回全国大会
- [4] T. Sasaki et al., "Automated Logic Verification System using MIXS Verifier and Hardware Logic Simulator(HAL)", CHDL(1985), pp479-491.