効率の良い直列分解多段化に基づく ファンイン制限付きトランスダクション法実現の一手法

8M−4

高田秀志　石垣博康　上林弥彦

京都大学工学部

1 まえがき

近年のVLSI技術、および、論理回路の自動設計技術の進歩に伴い、計算機による論理回路設計が実用の域に入ってきている。特に、BDD(Binary Decision Diagrams)を利用することにより、これまで膨大な記憶容量を必要としてきたブール的手法による論理回路最適化が、広く利用されるようになった。

1970年代前半にイリノイ大学において開発されたトランスダクション法[1]は、許容関数と呼ばれる論理関数の変更の自由度を利用して回路を変形し、面積コスト、遅延時間などの点から最適化を行なう手法である。最近になって、規則性の少ない回路においては非常に良い結果を得ることができることが示され、BDDとの結合により、日米の数社で実用化されている。また、変数を時間シフトすることによる順序回路の最適化[3]や、大規模回路向きのアルゴリズムの改良[5]、並列計算機上での実現[4]などの研究も行なわれ、論理回路最適化の手法としての標準になりつつある。

トランスダクション法では、初期回路として与えられた回路をもとに最適化を行なう手法であるため、初期回路の性質によって最適化後の結果が大きく左右され、局所解に落ち込んでしまうことも稀ではない。特に、テクノロジマッピングを考慮し、ファンイン制限を行なった上でのトランスダクション法の適用は、さらに回路変換の可能性を狭め、最適化結果が局所解に陥る要因となっていると考えられる。

そこで本稿では、ファンイン制限を満たした初期回路に対し、ファンイン制限を満たした上でトランスダクション法を適用する際に、面積コストの点での最適化能力の向上を図るための改良を行なった結果を報告する。本手法は、回路変形の自由度を変化させながら局所解からなるべく抜け出せるように工夫をしたものであり、ファンイン制限をしたまま回路変換をする際の最適化能力の減少をなるべく小さくすることが可能である。実験の結果、従来一般的にとられてきたファンイン制限のもとでのトランスダクション法に比べ、65%程度の回路で面積コストの改善が見られ、また回路によっては、劇的に面積コストの改善が実現できる場合があることが分かり、本手法が有効であることが示された。

2 トランスダクション法の概要

ここでは、論理回路を構成するゲートとして、NORゲートのみを扱うことにする。

2.1 許容関数

回路中のある要素c(ゲート、結線)の実現する関数fを、ある関数f'に変更しても回路の出力関数が変化しない時、f'をcの許容関数(Permissible Function)であるという。また、ある要素cの許容関数全体の集合をMSPF、回路中の全要素に対して同時に変更可能な許容関数のみからなる集合をCSPFという。

本稿で述べる手法では、計算コストの点からCSPFを利用する。また、CSPFの計算の際には、固定された順序づけによらず、回路の局所的な形状から順序づけを動的に変化させる手法[6]を用いる。

A Method for Realization of Fan-in Restricted Transduction Method Based on Efficient Serial Duplication
Hideyuki Takada, Hiroyasu Ishigaki, Yahiko Kambayashi
Faculty of Engineering, Kyoto University

2.2 許容関数集合による回路変換

ある回路中の結線の許容関数集合に恒偽関数が含まれる時、この結線は削除可能である。また、結線cをゲートvに接続した後のvの実現する関数がvの許容関数集合に含まれる時、この接続によって回路の出力は変化しない。

ゲートv_jの出力をゲートv_iの入力に接続可能である条件は、以下のように表現することが可能である。

$$G^{on}(v_i) \cap f^{on}(v_j) = \phi \quad (1)$$

$$v_i \notin TFO(v_j) \quad (2)$$

ここで、$TFO(v_j)$は、ゲートv_jから出力端子側へ到達可能なゲートの集合である。

3 直列分解を併用したトランスダクション法の実現

我々はすでに、3段NOR初期回路のファンイン制限手法として、段数をできるだけ増加させないような手法を開発している[2]。本稿で述べる手法では、これをトランスダクション法の過程に用い、さらに大きな面積削減効果を狙う。

3.1 ファンイン制限付トランスダクション法の実現

論理設計の段階において、マッピング後のコストの見積りを適切に行なうためには、論理最適化の過程において、各ゲートの最大ファンイン数を制限することは非常に重要である。しかし、トランスダクション法におけるファンイン制限は、回路変形の可能性を狭めるものであり、最適化結果に大きな影響を与えかねないと考えられる。

ファンイン制限された回路に対して、その最大ファンイン数を満たしたままトランスダクション法を適用する手法として、手続き1が一般的である。これは、[1]において、Connectable/Disconnectableと呼ばれているものとほぼ同等で、[5]においても用いられているものである。

- 手続き1

  step 1: 各ゲートの出力関数を計算する。

  step 2: 各ゲートを出力端子に近い方から順序づけする。

  step 3: 手続きC/DCをファンイン制限数を与えられた回路の最大ファンイン数として、step 2で求めた順序で適用する。

  step 4: step 1からstep 3を、回路コストの改良がなくなるまで繰り返す。

- 手続きConnectable/Disconnectable(C/DC)

  step 1: ゲートの入力結線のCSPFを求め、冗長な結線があれば切断する。

  step 2: このゲートに接続可能なゲートを回路中から探索し、接続する。

  step 3: このゲートの入力結線のCSPFを再計算し、冗長な結線を取り除く。

  step 4: もし、ファンイン制限を越えていれば、step 1が終了した状態の入力結線に戻す。

手続きC/DCのstep 4は回路変形に対する大きな制約となり、最適化結果が局所解に陥る原因となっていると考えられる。そこで、次のようにアルゴリズムを変形する。

表 1: 実験結果

回路		初期回路	手続き 1		手続き 2		
name	in/out	gates/conns	gates/conns	cpu(s)	gates/conns	cpu(s)	改善比 (%)
C432	36/7	209/421	129/311	138.5	**114/279**	915.9	10.7
C1908	33/25	718/1335	**449/958**	2741.8	476/1044	13393.8	-
apex7	49/37	268/501	**220/435**	19.7	224/444	38.7	-
b9	41/21	126/247	117/227	5.1	**109/214**	14.5	6.1
c8	28/18	188/371	167/338	14.2	**151/307**	54.0	9.3
cht	47/36	231/434	**222/422**	8.1	222/451	12.4	-
sct	19/15	117/243	83/175	4.5	**76/157**	12.1	9.7
term1	34/10	391/869	203/475	236.8	**167/366**	382.5	21.4
ttt2	24/21	215/486	157/363	14.3	**145/334**	35.6	8.9
alu4	14/8	720/1441	**569/1377**	482.1	606/1478	1140.3	-
apex6	135/99	831/1497	**781/1526**	880.9	802/1574	2555.2	-
example2	85/66	366/642	**335/595**	39.6	354/642	105.3	-
my_adder	33/17	224/384	175/343	11.5	**168/336**	19.5	13.3
t481	16/1	3393/8144	1781/4557	19272.2	**109/239**	23741.2	94.5
too_large	38/3	748/1743	579/1412	2872.3	**340/817**	21156.8	41.9
x3	135/99	763/1776	632/1574	426.7	**622/1542**	5277.4	2.0
x4	94/71	443/978	395/871	53.0	**360/786**	365.5	9.5

- 手続き 2

  step 1: 手続き 1 を実行する。

  step 2: この手続き 2 のループが 2 回目以降の時、前回の step 1 実行の際よりコストの改善が見られない時は、終了する。

  step 3: 手続き 1 を実行する。ただし、手続き C/DC の適用の際には、ファンイン制限を行なわない (すなわち、手続き C/DC の step 4 は実行しない)。また、ゲートの探索空間は、直列分解による段数の増化を考慮して、接続によって回路の最長パスの長さを増さないようなゲートのみとする。

  step 4: 効率の良い直列分解 [2] を用いてファンイン制限を満たした回路に変形する。

これにより、手続き 2 の step 1 の実行後、局所解に陥ってしまった結果を、回路変形の制約の少ない step 3 で大規模な回路変形をすることにより、最終解の結果を改善することが可能であると考えられる。また、効率の良い直列分解手法の併用により、ファンイン制限を行なう際の段数・面積の増大を押えることも可能であり、テクノロジマッピング後のコストもある程度予測可能である。

4 実験結果

前章で述べた手続き 1 および手続き 2 を、C 言語を用いて実装し、Sun Sparc Station ELC 上で、すでにファンイン制限されたベンチマーク回路に施して最適化実験を行ない、比較した結果を表 1に示す。最適化過程においては、大規模回路へのトランスダクション法の適用法として非常に優れた性能を持つ、[5] で述べられている記憶領域削減手法を用いた。

初期回路としては、MCNC 多レベルベンチマーク回路および ISCAS'85 ベンチマーク回路の、ファンイン数 4 までの NOR ゲートにマッピングされたものを用いた。実験に用いた回路は入力数数十、ゲート数数百から数千程度の中・大規模な回路 25 種類で、そのうち、BDD のノード数が 100 万ノード以内で実行できたものすべてを挙げている。BDD パッケージは、京都大学工学部情報工学教室矢島研究室で開発されたもの [7] を利用し、変数の順序づけは、基本的には回路データに出現する順序を用いたが、表の下部分の回路は、そのままの順序では扱えなかったために、同研究室提案の動的重み付け法によるものを用いた。

表中の改善比は、手続き 2 の適用によって面積コスト (ゲート数＋結線数) の改善が行なわれた時の、手続き 1 の面積コストとの比である。これによると本手法により、65% 程度の回路において、平均 20% 程度のコストの改善が見られた。特に、t481 では、本稿で提案した手法により、95% 近くのコスト改善が見られた。しかし、解の収束に相当の時間がかかったものがあり、効率化は今後の課題である。

5 あとがき

本稿では、ファンイン制限付トランスダクション法において、ファンイン制限を行なうことによる結線変換の自由度束縛による解の品質低下を、効率の良い直列分解を併用して改善する手法を示した。また、実際に実験を行なった結果、65% 程度の回路で最適解の改善が見られ、本手法が有用である場合があることを示した。

謝辞

プログラム開発に当たり御指導頂いたイリノイ大学の室賀三郎教授、および、ベンチマーク回路についての情報を提供して頂いたシャープ (株) の藤本徹哉氏に感謝致します。また、SBDD パッケージおよびその利用に際し、有益な御助言を頂いた京都大学工学部情報工学教室矢島研究室の皆様に感謝致します。

参考文献

[1] S. Muroga, Y. Kambayashi, H. C. Lai, J. N. Culliney: The Transduction Method-Design of Logic Networks Based on Permissible Functions, *IEEE Trans. Comput.*, Vol.38, No.10, (Oct. 1989).

[2] S.Sawada, Y.Kambayashi, S.Muroga: Generation of Fan-in Restricted Initial Networks for Transduction Method, *Proc. the Synthesis and Simulation Meeting and International Interchange, SASIMI '92*, April 1992.

[3] Y.Matsunaga, M.Fujita, T.Kakuda: Multi-Level Minimization Across Latch Boundaries, *Proc. of ICCAD-90*, pp 406-409, 1990.

[4] K.De, B.Ramkumar, P.Banerjee: ProperSyn: A Portable Parallel Algorithm for Logic Synthesis, *Proc. of ICCAD-92*, pp.412-416, 1992.

[5] 藤本徹哉, 本庄浩, 神戸尚志: 最大 CSPF を用いた大規模組合せ回路の最適化手法, 情処研報 Vol.91, No.110, 91-DA-60, pp. 123-130, Dec. 1991.

[6] 高田秀志, 上林弥彦: トランスダクション法における動的カバーによる許容関数の計算, 第 43 回情報処理学会全国大会 2R-8, 1991.

[7] S.Minato, N.Ishiura, S.Yajima: Shared binary decision diagram with attributed edges for efficient boolean function manipulation, In *Proc. 27th Design Automat. Conf.*, pp 52-57, June 1990.