

グラフィックス計算機 VC-1 のアーキテクチャ

6 L - 6

西村 憲† 國井 利泰† 須田 礼仁† Yukio Sakagawa†

† Kubota Computer (株), 東京大学受託研究員

† 東京大学理学部情報科学科

1 はじめに

VC-1 は現在開発中の研究用グラフィックス計算機であり、高いスケーラビリティを持つことを特徴とする。その構造は、汎用プロセッサによる疎結合マルチプロセッサに、筆者らによって提案されている無競合複数ポートフレームバッファ (CFMFB)[1] を付加したものである。現存する多くの商用グラフィックスマシンに共通するようなポリゴン描画専用ハードウェアは持っていない。このことは、性能当たりのコストを上昇させるが、システムに柔軟性をもたらし、多くの画像生成法の実装を可能にする。

VC-1 の特徴的要素である CFMFB は、すべてのプロセッサが同等に、画面のどの位置でも、アクセス競合なく書き込めるフレームバッファである。その基本的な考え方は、各プロセッサ毎に全画面相当のフレームバッファを別々に持ち、その内容を周期的に合成して CRT に送るというものであるが、必要なメモリ量を減らすために(あるいは同じコストでより高速なメモリを利用できるように)、仮想記憶に似たメカニズムを使っている。

CFMFB はオブジェクト並列型の並列処理、すなわちポリゴンデータ群を各プロセッサに分散配置し、各プロセッサが他とは無関係に割り付けられたポリゴンの描画を行なう処理法を可能にする。オブジェクト並列型は、各プロセッサが決められた画素を担当する画素並列型に比べ、ポリゴン数が多くなった場合に、スケーラビリティの点で有利な並列処理法である。

2 VC-1 のアーキテクチャ

2.1 全体の構成

図1に VC-1 の全体構成を、表1にシステムの諸元を示す。システム全体は16台のプロセッサ、CFMFB、ホストコンピュータとそれらを接続するネットワークから成り立っている。プロセッサには Intel 社の i860 を使用し、各プロセッサは 8MB のローカルメモリを持つ。

プロセッサ間通信を行なう手段としては、次の2種類が用意されている。一つは2次元トーラス型相互結合網であり、トランスピュータ互換の通信リンクによって構成されている。これは任意の2つのプロセッサ間でのパケット通信を実現する。もう一つはブロードキャスト・バスであり、ホストコンピュータを含む任意のプロセッサから、全プロセッサに向けてデータをブロードキャストする機能を持つ。これはプログラムコードやポリゴンデータのロードに利用される。

CFMFB は各プロセッサ毎に独立して存在する局所フレームバッファ (LFB)、それらにつながるパイプライン画像合成器 (PIM)、大域フレームバッファ (GFB)、そして累積バッファから構成されている。

LFB はそれと接続されているプロセッサの出力した画素値(色情報と深さ情報)を保持する。LFB では画像メモリを節約するために、画面をパッチと呼ばれる小領域に分割し、フレームバッファへのアクセスのあったパッチだけに画像メモリを割り付けている。

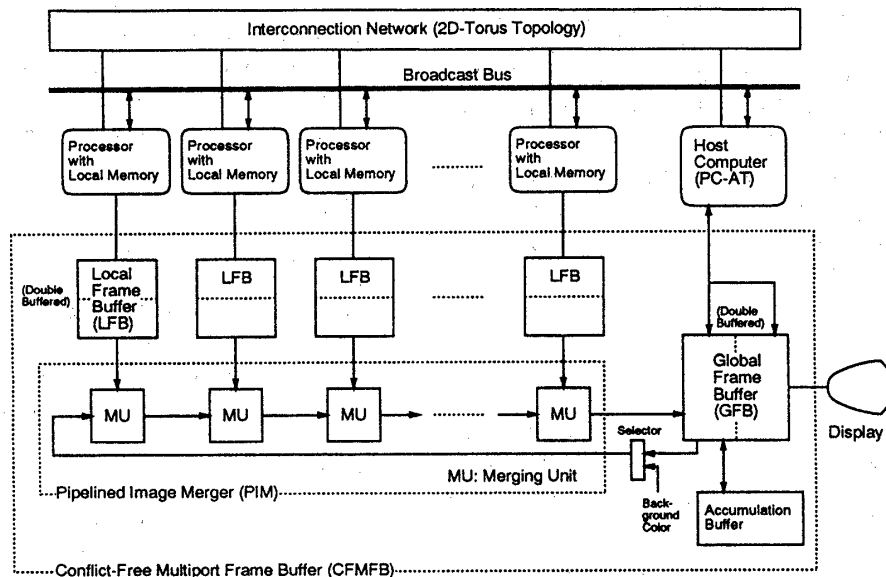


図1: VC-1 の全体構成

The Architecture of the VC-1 Graphics Computer

Satoshi NISHIMURA†, Toshiyasu L. KUNII†, Reiji SUDA†, and Yukio SAKAGAWA†

† Kubota Computer Inc.

† Department of Information Science, Faculty of Science, The University of Tokyo

表 1: システムの諸元

プロセッサ
Intel i860XR ×16 (40MHz clock)
ピーク性能
640MIPS, 960MFLOPS(倍精度)
ローカルメモリ
プロセッサ当り 8MB
プロセッサ間相互結合網
転送速度: 20Mbit/s (実効転送速度 1.7MB/s)
トポロジ: 2次元トラス
ブロードキャストバス
バス幅: 16bit
転送速度: 約 30MB/s
フレームバッファアクセス速度
37.5ns/pixel(ピーク時)
画面の大きさ
640×480 画素 (ノンインターレース表示)
640×400 画素 (NTSC 準拠インターレース表示)
ただし LFB は、1024×1024 画素まで対応可能
画像メモリの容量
256KB(全画面の約 1/4 に相当) ×2 系統
パッチテーブルの容量
64KB(32768 パッチ) ×2 系統
パッチのサイズ
4×4, 8×8, 16×16, discrete 4×4 から選択
1 画素当りの情報量
32bit (R:6bit, G:6bit, B:4bit, Z:16bit)
LFB から GFB への転送周期
24.6ms(640×480 画素) 20.5ms(640×400 画素)

PIM は、LFB の内容を周期的に合成して GFB に転送する。合成する際に、LFB に格納されている深さ情報が考慮され、隠面消去が行なわれる。合成はパイプライン的に行なわれ、PIM の構成要素であるマーキング・ユニット (MU) の各々は、1 クロックの間に、前段からの画素情報と LFB からの画素情報を合成して次段に送る。PIM はこの他に、モードの切替えにより、GFB の内容を逆に LFB にロードする機能を持つ。これは生成した画像に対して、さらに画素単位の画像処理を施すような場合に利用される。

GFB は全画面の画素値を保持し、画像合成速度と CRT スキャン速度の差を吸収する働きを持つ。また、累積バッファは、GFB の内容を累積することによって、オーバーサンプリングによるアンチエイリアシングを支援する。

2.2 各ノードの構成

1つのプロセッサとその周辺回路、対応する LFB、そして MU を合わせてノードと呼ぶ。1台のノードは VME triple height (400mm×368mm) の 6 層基板 1 枚に収められている。

図 2 にノードのブロック図を示す。相互結合網インタフェースには、ルータとしてトランスピュータを使用することによって、回路の簡素化を図るとともに、ノードを通過するパケットによってメイン CPU が処理を中断されることを避けている。デュアルポート RAM は、ルータとメイン CPU 間のデータ交換に使われる。LFB はダブルバッファ構成になっており、一方は CPU の書き込み用、他方は GFB への転送用である。

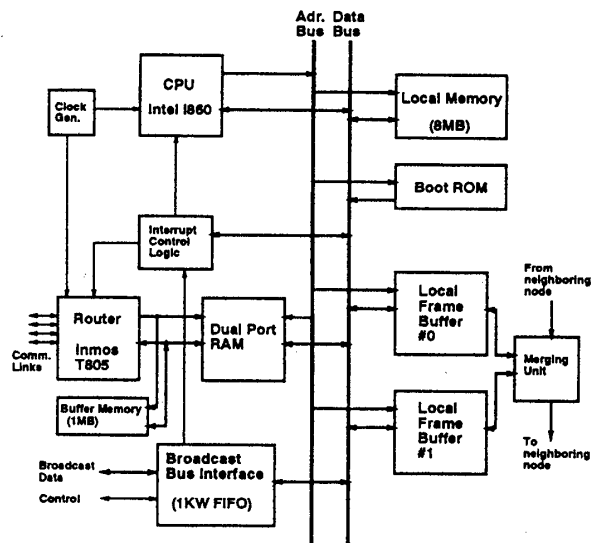


図 2: ノードの構成

3 VC-1 のグラフィックス性能

VC-1 のポリゴン描画性能を予測するため、シミュレーションによる性能評価を行なった。シミュレーションは、i860 を使用したワークステーション上において仮想的に複数のプロセッサを構築し、コンテキスト・スイッチ間の実行時間をリアルタイム・クロックによって計測しながら行なった。

使用した画像は、16 個のティーポットを格子状に配置したものであり、ポリゴン数は 65,536 である。シェーディングにはグロー・シェーディングを用いた。

シミュレーションの結果、ノード 1 台だけの場合の性能は約 1 万ポリゴン / 秒であることが分った。これは文献 [2] に示されている値の 1/5 でしかない。この主な原因は光源計算のベクトル化が不十分なためだと考えられる。ノード 16 台では 15 倍以上の高速化が達成され、かなり効率の良い並列処理が行えることが分った。64 台では、50 万ポリゴン / 秒の性能が予測されたが、若干の負荷不均衡が目立った。光源計算部分のベクトル化や、さらに効率の良い負荷分散法の開発は、今後の課題である。

4 おわりに

本稿ではグラフィックス計算機 VC-1 のアーキテクチャを概説し、そのグラフィックス性能について言及した。今後はハードウェアの開発をさらに進めるとともに、OS などソフトウェアの整備をして行く予定である。

参考文献

- [1] S. Nishimura, R. Mukai, and T. L. Kunii, "A Loosely-Coupled Parallel Graphics Architecture Based on a Conflict-Free Multiport Frame Buffer," *Proc. of the Third Workshop on Future Trends of Distributed Computing Systems*, pp. 411-418, 1992.
- [2] L. Kohn and N. Margulis, "Introducing the Intel i860 64-Bit Microprocessor," *IEEE Micro*, vol. 9, pp. 15-30, August 1989.