

光インターコネクションを用いたシステムのための 並列アルゴリズムの構築

成瀬 誠[†] 石川 正俊[†]

近年の集積回路技術の進歩と通信回線を通過するデータ量の増大にともない、配線遅延など通信路の性能が計算機システムの性能改善を妨げる要因として顕在化し、光インターコネクションの導入による解決への期待が高まっている。光技術のチップ間通信への応用では、ピンボトルネックの解消などシステム実装上のメリットばかりでなく、集積化光デバイスとプロセッサの直結や自由空間配線により、光・電子融合型の新しい情報処理システムの実現の可能性がある。このようなシステムは、電気配線を用いたシステムとは顕著に異なる物理層の特徴を有するが、光インターコネクションの導入の効果をもたせたアルゴリズムの議論や応用の議論は見当たらない。本論文は、配線遅延の低減、LSIの単位面積あたりの通信能力の向上、チップ間の自由空間配線などの光インターコネクションがもたらす特徴をふまえたうえで、与えられたアプリケーションを効率良く実行させるための、アルゴリズム設計の枠組みを提示するとともに、試作した光・電子融合並列処理システム OCULAR-II への応用例を示す。

Parallel Processing Algorithm Design for Optically Interconnected Systems

MAKOTO NARUSE[†] and MASATOSHI ISHIKAWA[†]

The introduction of tremendous bandwidth supplied by free-space optical interconnections to computing systems is expected to solve the lack of communication capability in computing systems. Optoelectronic LSIs having optical interface with processing capability and free-space optical interconnects make it possible to fabricate optoelectronic parallel computing systems. However, although the properties of optoelectronic systems are much different from those of conventional computing systems using electronic interconnection, algorithms and applications for optoelectronic systems haven't been discussed considering the difference of the physical layer properties. The algorithm design should be re-considered so that the merit of free-space optical interconnection is fully applied. We show a method to implement given algorithms onto optoelectronic systems that yields the minimum processing time. As an optoelectronic computing system, OCULAR-II is also shown where the proposed algorithm design method is successfully applied.

1. はじめに

配線遅延やピンボトルネックなどの計算機システムにおける配線の問題を解決する技術として、光インターコネクションが注目を集めている。図1に示される、面発光レーザなどの光デバイスと演算能力を有するLSIを直結した光電子LSI¹⁾では、チップ上に高密度に確保される信号の入出力チャネルによるピンボトルネックの軽減など、物理層の能力に著しい改善がもたらされるばかりでなく、多数の光電子LSIを自由空間光インターコネクション²⁾により接続することによ

り、チップ間に莫大なバンド幅が確保された光・電子融合並列処理システム^{3),4)}を構築できる。

光インターコネクションを用いたシステムに適した計算の方式とはどのようなものであり、既存の計算機システムに比べてどのような特徴を有しているのだろうか。光の情報処理応用は、古典的には、フーリエ光学⁵⁾に代表される光学の原理に基づくアナログ光演算や論理演算の空間的展開⁶⁾を基礎としているが、光インターコネクションを有する光・電子融合システムは、古典的にも応用されてきた光の並列性を用いると同時に、LSIにより供される計算能力など、従来の光システムにない特徴を包含しているため、これまでの光情報処理とは異なる、アルゴリズムの理論的基礎が要求される。また、光インターコネクションによる莫

[†] 東京大学大学院工学系研究科

Graduate School of Engineering, University of Tokyo

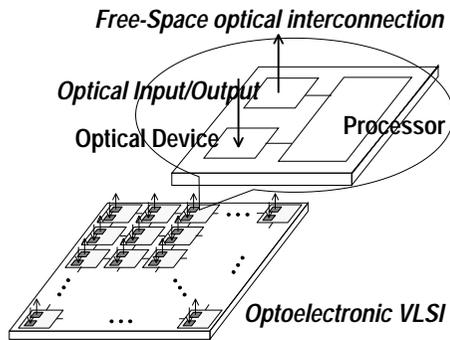


図1 光電子 VLSI の概念図

Fig. 1 Overview of an optoelectronic VLSI.

大な通信バンド幅は、電気配線を用いた従来の並列計算機におけるいわば前提を覆すものであり、光技術の利用を考慮した計算の方式を考察する必要があると思われる。

そこで本論文では、配線遅延の低減、LSIの単位面積あたりの通信能力の向上、チップ間の自由空間配線など、光インターコネクションがもたらす物理層の特徴をふまえたうえで(2章)、与えられたアプリケーションをシステム上で効率良く実行させるための、システマティックなアルゴリズム設計の枠組み(3章)、および最適化手法(4章)を示す。さらに光・電子並列処理システム(OCULAR-II)を例にあげ(5章)、提案するアルゴリズム設計法を応用する(6章)。

2. 光・電子融合システムのモデル

2.1 アルゴリズムの定量：要素的通信と要素的演算
半導体集積化技術と光インターコネクションの技術動向^{7),8)}によれば、光技術の導入によって、チップ間の通信の遅延時間は、チップ上のインストラクション実行時間に近づく傾向にある。したがって、 $y = f(x_1, x_2)$ と書かれる演算の実行時間として(1)変数を演算 f が実行されるプロセッサまで転送する(これを「要素的通信」と定義する)ための時間： t_c 、および(2)演算 f をプロセッサで実行する(これを「要素的演算」と定義する)ための時間： t_p の2つの構成要素を考えた場合に、 $t_c \approx t_p$ が成立しうる状況が発現する。

2.2 光技術を導入したシステムの特徴

光電子LSIにおいては、光学素子の分解能に相当する配線密度がLSI上に確保され、また、オフチップの通信もオンチップクロック周波数と同等の速度で行うことができる⁹⁾。すなわち、単位面積・単位時間あたりの通信能力において、光インターコネクションの導入の1つの本質的な効果が表現されると考えることが

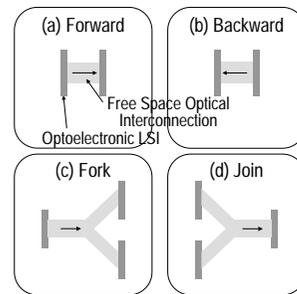


図2 チップ間の結合状態の例

Fig. 2 Examples of inter-chip optical interconnection.

できよう。そこで、「LSIの単位面積あたりに実装される入出力チャネル数と各チャネルの動作周波数の積」を「通信能力密度」と定義し、通信能力を表現する指標とする。また、「LSIの単位面積あたりに実装されるトランジスタ数とトランジスタの動作周波数の積」を「計算能力密度」と定義し、計算能力を表現する指標とする。また、自由空間に信号の伝搬経路が構築されることから、たとえばLSI間の再構成可能な相互接続網¹⁰⁾のように、従来の電気配線では実現困難な機能が可能となる。図2は、光インターコネクションを用いたチップ間の結合状態の例であり、forward, backward, fork, joinなどの結合パターンを示している。このように、システム内に複数のチップが存在し、光インターコネクションにより結合される様子を表現するために、システム内のLSIを指標 i により区別し、LSI間の結合状態は、LSI i とLSI j 間に結合が存在するときに $m_{ij} = 1$ 、存在しないときに0である行列 $M = \{m_{ij}\}$ により表す。

2.3 実効的計算時間

与えられたアプリケーションに内在するすべての要素的通信および要素的演算を抽出し、光電子LSIの有する空間的並列性を用いて複数個の要素的演算または要素的通信が同時に実行されれば、実効的に全体の計算時間は短縮される。

今、LSI i の通信能力密度および演算能力密度を各々 C_i 、 P_i とし、簡単のためシステム内部の各々のLSIの面積は1(単位面積)であるとする。LSI i の単位面積に単位時間に入力される要素的通信の量を I_i とし、LSI i に割り当てられる要素的演算の量を A_i とする。計算と通信が分散された場合、全計算の開始地点から終了時点に至るまでの複数の経路が考えられ、このとき、実効的に必要となる時間は、これら複数の経路のなかで、最大の時間を要する時間に等しいと考え、

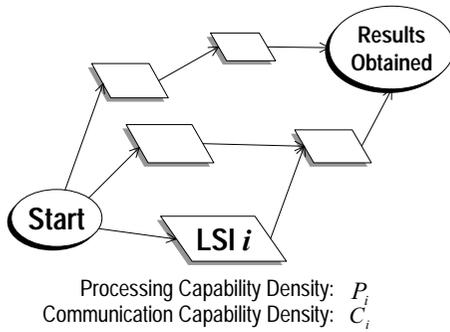


図3 光インターコネクションを有する並列処理システムにおけるアルゴリズム設計の概念図
Fig.3 Basic framework of the algorithm construction for optoelectronic systems.

$$\max_k \left\{ \sum_{(i,j) \in L_k} \left(\frac{I_j}{C_j} c_{ij} t_c + \frac{A_j}{P_j} t_p \right) \right\} \quad (1)$$

で与えられる実効的計算時間により評価する。L_k は、演算の開始時点から終了までの過程の1つを示している。c_{ij}t_c は、LSI i と LSI j 間の通信時間を示し、c_{ij} は、LSI 間の物理的距離などにより決まる。以下では、簡単化のために次の仮定を設ける。

- (1) すべての要素的通信および要素的演算が実行前に明示的に与えられる。
- (2) 1つの要素的通信および要素的演算に要する時間を1とする。すなわち、t_c = t_p = 1。
- (3) A_i, I_i は、0以上の整数とする。

3. 光インターコネクションと計算の包括的評価——コスト行列

式(1)より分かるように、通信能力密度および計算能力密度を超過した通信量または計算量が割り当てられた箇所がシステム内部に存在する場合には、ボトルネックが発生し、全体としての計算時間が増加する。したがって、図3に示される概念図のように、システム内部の一部に過剰に通信や計算が割り当てられることを避け、実効的に同時実行される通信量と計算量が高まるように、アルゴリズムの開始時点(図3中の“Start”)から演算終了(同図“Result Obtained”)に至るまでの通信量と計算量を、自由空間光インターコネクションのトポロジカルな特徴も生かしながらシステム内部へ割り当てればよい。

この操作をシステマティックに行うために、システムの能力とシステムに実際に割り当てられている計算量および通信量から、システム各部での通信および

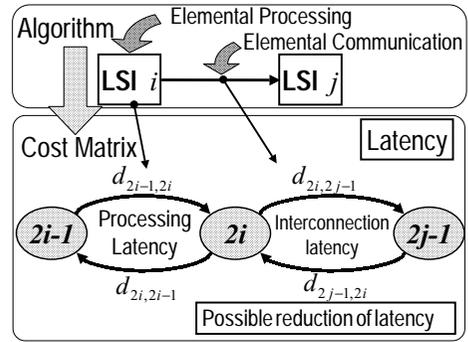


図4 通信量および計算量とコスト行列の対応
Fig.4 Correspondence of the element of the Cost Matrix with the amount of elemental communication and computation.

表1 コスト行列の定義
Table 1 Definition of Cost Matrix.

1.	$i \in 1, \dots, N, j \in 1, \dots, N$ の各々の組合せについて
1)	$\begin{cases} d_{2i-1,2i} = 1 & (0 \leq A_i < P_i \text{ のとき}) \\ d_{2i-1,2i} = \frac{A_i}{P_i} + 1 & (A_i \geq P_i \text{ のとき}) \end{cases}$
2)	$d_{2i,2i-1} = -\frac{A_i}{P_j} \quad (A_i > 0 \text{ のとき})$
3)	$\begin{cases} d_{2i,2j-1} = c_{ij} \\ (m_{ij} = 1 \text{ かつ } 0 \leq I_j < C_j \text{ のとき}) \\ d_{2i,2j-1} = c_{ij} \frac{I_j}{C_j} \quad (I_j \geq C_j \text{ のとき}) \end{cases}$
4)	$d_{2j-1,2i} = -c_{ij} \frac{I_j}{C_j} \quad (m_{ij} = 1 \text{ かつ } I_j > 0 \text{ のとき})$
2.	$i \in \{1, \dots, N\}$ について $d_{2i,2N+1} = d_{2N+1,2i} = 0$ (A _i が与えられたアプリケーションの最終段階に相当する演算である場合)
3.	他の要素は、 ∞ 。

計算のレイテンシの最適な配分を支援する「コスト行列」を作成する。図4に、通信路に割り当てられた通信量とコスト行列の対応、およびLSIに割り当てられた計算量とコスト行列の対応を模式的に示す。すなわち、LSI i での計算時間を、頂点(2i-1)から頂点2iへ至るリンクに割り当てられた重み d_{2i-1,2i}、LSI i から LSI j への通信時間を、頂点2iから頂点(2j-1)へ至るリンクに割り当てられる重み d_{2i,2j-1} などにより表現する。このとき、各々のリンクに対して、逆方向のリンクを適宜定義する。定性的には、逆方向のリンクには通信あるいは計算の割当てを解消した場合に期待されるレイテンシの低減を示す負の要素が与えられる。具体的には、システム内部にLSIがN個存在する場合、コスト行列の各要素は、表1に示すルールに従って求められ、コスト行列全体は、(2N+1) × (2N+1) の行列 D = {d_{ij}} で与えられる。例として、3個のLSI (LSI1, LSI2, LSI3とする)

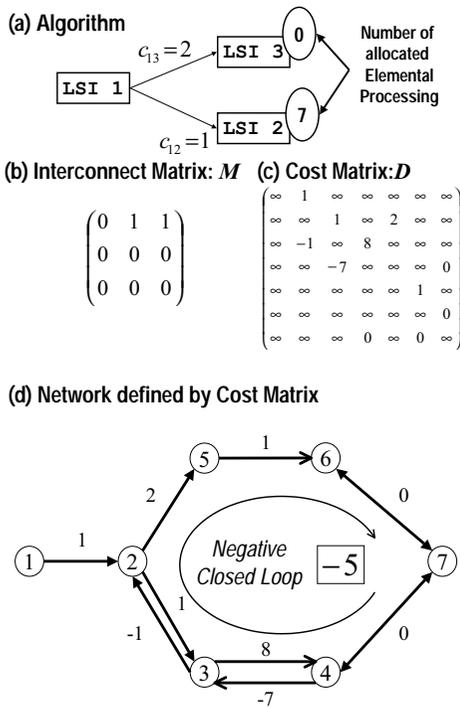


図5 システムの構造 (a), 結合状態を示す行列 (b), コスト行列 (c), およびコスト行列により規定されるネットワークと「負の閉路」の概念図 (d)

Fig. 5 The network specified by Cost Matrix and the negative closed loop.

が図5(a)に示すトポロジで接続され、相互の通信のレイテンシは同図中の c_{ij} により与えられる場合のコスト行列を考える。LSI間の結合状態を示す行列は、同図(b)である。各々のLSIの通信能力密度および計算能力密度は1であるとし、今、同時実行可能なすべての要素的演算がLSI2に割り当てられ、その数は7であり、LSI1からLSI2への1つの要素的通信が要請されると仮定する。このとき、コスト行列は、同図(c)に示す7×7の行列となる。

4. 「負の閉路」を用いた最適なアルゴリズムの導出

4.1 負の閉路

コスト行列の各々の要素 d_{ij} を頂点 i と j 間の辺に割り当てられた重みであると考えられることにより、コスト行列により規定されるネットワークを考えることができる。図5(d)は、同図中のコスト行列により規定されるネットワークを示す。ただし、コスト行列の無限大の要素に対応するリンクは省略している。表1の定義より、コスト行列の要素は負の値をとることがあ

る。したがって、このネットワークの内部における適当な閉路に沿ってのコスト行列の要素の和が負になる場合が存在する。このような閉路を、ここでは「負の閉路」と呼ぶ。負の閉路は「より短い実行時間のアルゴリズムの存在」を示唆する量であると考えられることができる。すなわち、許容能力を超過した量の計算あるいは通信を割り当てられている箇所から、許容能力を有する箇所へ、計算あるいは通信を分散させることにより、全体の計算時間を短縮できる。負の閉路が存在しないネットワークが得られれば、最短時間で実行できるアルゴリズムが得られることになる。

逆に、最短時間で実行されるアルゴリズムが得られたときには負の閉路が存在しない。これは適当なネットワークフロー問題¹¹⁾に帰着させることにより、次のように証明できる。今、最短時間で実行可能なアルゴリズムを得ることができたとしよう。このとき、アルゴリズムの初期状態に対応する頂点から、アルゴリズム実行途中の状態 j までの実行時間を v_j とすると、最短時間の実行アルゴリズムであることから、

$$v_j \leq v_i + d_{ij} \tag{2}$$

が成立する。ここで任意の閉路を、頂点の列

$$l = (i_0, i_1, \dots, i_r) \quad i_0 = i_r$$

により表現すると、この閉路に沿ったコスト行列の要素の和は、式(2)より、

$$\sum_{k=0}^{r-1} d_{i_k i_{k+1}} \geq \sum_{k=0}^{r-1} (v_{i_{k+1}} - v_{i_k}) = 0$$

となる。すなわち、コスト行列により規定されるネットワーク内部に負の閉路が存在しない。したがって、負の閉路が存在しないことが、最短時間アルゴリズムの実現の必要十分条件であることが分かる。

4.2 アルゴリズムの更新

負の閉路が存在した場合、負の閉路上に存在する通信あるいは計算の割当てを変更する。負の閉路上でコスト行列の要素が負である箇所は、負荷を低める変更、すなわち、通信路であれば要素的通信の量、LSIであれば要素的演算の量を低減する変更を行い、コスト行列の要素が正である箇所は、逆に負荷を高める変更を施す。

更新後の要素的通信と要素的計算の割当てに対して、再びコスト行列を導き、負の閉路が存在すれば、同様の更新を繰り返す。このような更新過程の反復により、最短時間のアルゴリズムを得ることができる。

たとえば、図5においては、LSI2に過剰に割り当てられた計算量がボトルネックとなっている。ここで、

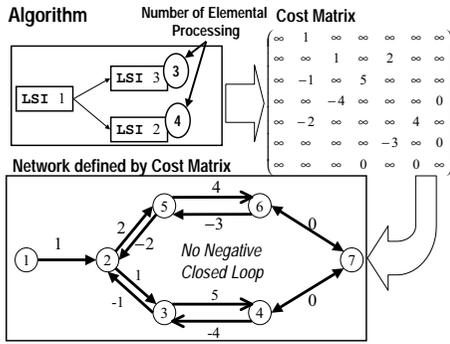


図 6 通信と計算の最終的割当て
Fig. 6 Final allocation of communication and computation in the system.

LSI1 から LSI3 への通信には、 $c_{13} = 2$ のレイテンシがかかり、これは LSI1 から LSI2 への伝送におけるコスト $c_{12} = 1$ より大きい。しかし、同図右下に示されるように、LSI2 から LSI1 を経由して LSI3 へ至る経路において、負の閉路が存在するため、LSI2 に割り当てられた処理の LSI1 への移動が、全体の処理時間を短縮することを示している。この場合は、負の閉路に沿ったコスト行列の要素の和は“-5”である。したがって、この閉路に沿って、LSI2 で過剰になっている計算量を分散させればよい。この操作を繰り返すことにより、最終的には、図 6 に示されるように、LSI2 および LSI3 にそれぞれ演算量 3 および 4 が割り当てられた状態となる。この状態では、「負の閉路」が存在していない。すなわち、最短時間で実行されるアルゴリズムが実現されたことを示す。

上記手法の全体の概要を図 7 にまとめた。

5. 光・電子融合処理システム (OCULAR-II) への応用

自由空間光インターコネクションを利用した光・電子融合並列処理システムとして試作した OCULAR-II (Optoelectronic Computer Using Laser Arrays with Reconfiguration-II)⁴⁾ を例に、4 章までに示した手法を応用してアルゴリズムを実装する。

OCULAR-II システムは、図 8 に示すように、光入出力インタフェースを有したプロセッシングエレメント (PE) アレイからなるプロセッサモジュール、およびプロセッサモジュール間を接続する光インターコネクションモジュールにより構成された、多層の構造を有する並列処理システムである。プロセッサモジュールは、PE ごとに光入力および光出力を有することから、実世界や光メモリなどの物理系に対し完全並列

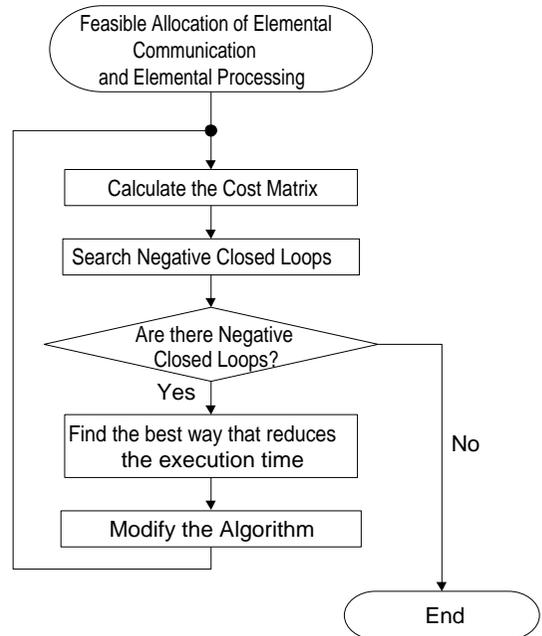


図 7 最適なアルゴリズムを導出する手法のフローチャート
Fig. 7 Flow chart for the construction of optimal algorithms.

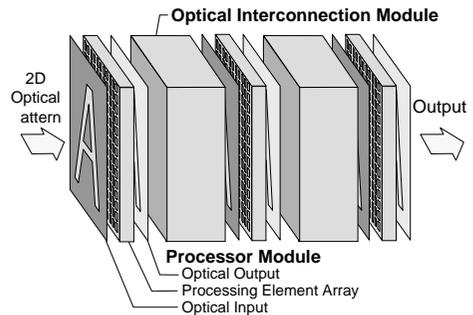


図 8 OCULAR-II システムアーキテクチャ
Fig. 8 OCULAR-II system architecture.

にデータの入出力が可能であり、また、プロセッサモジュールの階層的接続によるパイプライン構造が実現される。

システム内の各々のモジュールは、全体システムの拡張を可能とするモジュール性を持つように設計されており、複数個のプロセッサモジュールおよび光インターコネクションモジュールを交互に配置することにより、システムが多層化が可能となっている。層間の光インターコネクションのトポロジは再構成可能であり、処理に応じた最適な結合網を用意することができる。

OCULAR-II システムは、フリップチップボンディングなどを用いた光デバイスとシリコンデバイスの

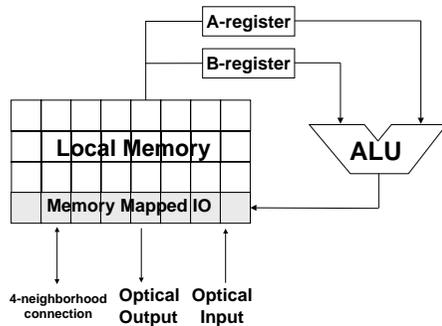


図9 PEのアーキテクチャ
Fig. 9 Architecture of the PE.

接合技術やマイクロオプティクス技術を活用することにより、全体システムの集積化が可能となるが、試作システムでは、個別素子の組合せによってシステムを実現している。PEアレイは、図9に示すように、各々のPEが24bitローカルメモリ、ビットシリアルALU、光入力および光出力を有し、4近傍のPEと電氣的に接続された 8×8 のSIMD (Single Instruction Stream Multiple Data Stream)型PEアレイであり、FPGA (Field Programmable Gate Array, Actel社A32200DX, 20,000ゲート, クロック周波数225MHz)を使って実装されている。光源は、要素数 8×8 の垂直共振器型面発光レーザー (VCSEL)アレイ (Mode社, 波長850nm), 光検出器は、増幅回路と2値化回路を同一ダイ上に集積したSiフォトダイオード (PD)アレイ (浜松ホトニクス社)を用いている。光インターコネクションモジュール¹²⁾は、VCSELからの出射光をPD上に結像させる光学系であるが、フーリエ面に設置された位相変調型空間光変調素子 (PAL-SLM)に書き込まれた計算機ホログラム (CGH)により、光線の行き先を制御でき、CGHの書き換えによって配線のトポロジを可変としている。

6. アルゴリズムの階層的分解

このように、光インターコネクションによりLSIを層状に結合した構造を持つOCULAR-IIシステムでは、プロセッサモジュール間の光インターコネクションにより莫大な通信バンド幅が確保され、多層構造を利用した演算パイプラインを構成できる。各プロセッサモジュールと外部を結ぶ通信路のバンド幅は、階層間のインターコネクションに比べて相対的に狭いが、各々の階層が有する演算機能を用いて抽出された相対的に少量の情報のみ伝送されるように、層間の光インターコネクションパターンを構築し、全体の処理を分

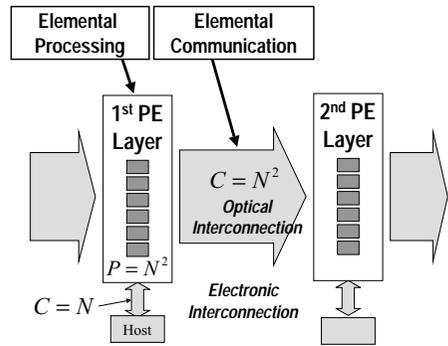


図10 OCULAR-IIのシステムとアプリケーションのモデル
Fig. 10 The model of the capability of OCULAR-II and its application.

割すれば、入力から出力に至るまでの全過程をボトルネックなく実現できる。すなわち、OCULAR-IIシステムのような多層的システムにおいては、光インターコネクションと電気配線の双方の物理層の能力、およびプロセッサの能力を考慮し、適切な量の通信および計算がシステムの各部分に割り当てられるように、与えられたアプリケーションを階層的に分解することが肝要となる。この階層的分解に、前述の手法を応用する。

ここでは、例として、2層のプロセッサモジュールを有するOCULAR-IIシステムへの行列ベクトル演算の実装を考える。 $A = \{a_{ij}\}$ を $N \times N$ の行列、 x を N 次元のベクトルとすれば、行列ベクトル演算

$$y = Ax \quad (3)$$

には、次の2種類の要素的演算が存在する。

[要素的演算1] $a_{ij}x_j (= t_{ij})$

[要素的演算2] $\sum_{j=1}^N t_{ij} (= y_i)$

今、各層にアレイサイズ $N \times N$ のPEアレイが配置され、各層の計算能力を $P = N \times N$ 、層間の通信能力を $C = N \times N$ 、層と外部の通信能力を $C = N$ として、図10のようにモデル化する。ベクトル x が第1層へ外部より与えられるとする。アルゴリズムの実現とは、このシステムモデルの各部分へ適切な要素的演算および要素的通信を割り当てる問題となる。

ここで、 $N = 8$ とし、行列 A の要素が第1層の各PEに配置され、すべての演算を第1層で行うとすると、OCULAR-IIシステムモデルへの演算割当ては、図11(a)のように表すことができる。これに対応するコスト行列から規定されるネットワークの主要部分は、同図(b)となる。たとえば、要素的演算1の実行のた

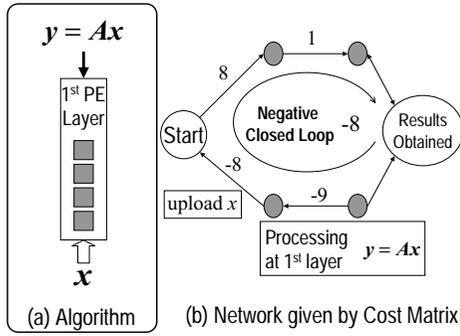


図 11 行列ベクトル演算のアルゴリズム (1)

Fig. 11 Algorithm for matrix vector products (1).

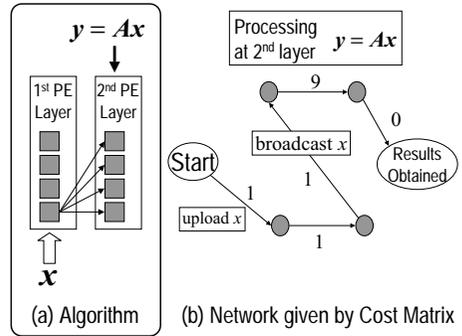
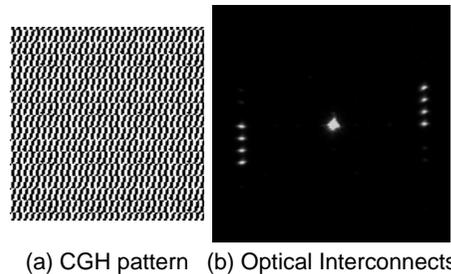


図 12 行列ベクトル演算のアルゴリズム (2)

Fig. 12 Algorithm for matrix vector products (2).

めに、各 PE は x を必要とするが、このデータ配信のために PE 間の電気的接続を、PE アレイのサイズ (N 回)だけ繰り返し用いて実現されるため、この操作に必要となるレイテンシに対応し、ネットワーク中の「upload x 」に示される部分に“-8”の要素が表れる。また、要素的演算 1 の積演算および要素的演算 2 の和演算のための操作に必要なレイテンシを反映して、同図中の「 $y = Ax$ 」に示される箇所に“-9”の要素が表れる。このネットワークには、第 1 層への計算の割当てを解消した場合のレイテンシの低減を示した経路の存在により、負の閉路が存在している。図 12 (a) に示されるように、行列 A を第 2 層に割り当て、第 1 層と第 2 層間の 1 対多の光インターコネクションを用いて、ベクトル x の各成分を第 2 層へブロードキャストすれば、同図 (b) に示されるネットワーク中に負の閉路が存在せず、全体の処理時間が最短となる。これは、 x_i を各 PE に保持させるために必要な要素的通信が、層間の光インターコネクションによりすべて同時に行われることに基づいている。第 1 層と第 2 層の間の光インターコネクションは、OCULAR-II システムにおいて実現した 図 13 (b) のような 1 対多のマルチキャストのインターコネクションパターンを用いればよい。すなわち、1 つの光源から複数箇所に光線が回折するような CGH パターン (同図 (a)) によってプロセッサモジュール間のインターコネクションネットワークを構築すればよい。さらに、多階層のシステムを用いれば、要素的演算 2 の和演算に要する時間も短縮することができる。

なお、この 2 層構造のシステムへの分解例では、第 1 層と第 2 層間の光インターコネクションの存在や、処理の割当て変更可能性を表現するために、4 章までに示した手法に若干の変更が必要となる。



(a) CGH pattern (b) Optical Interconnects

図 13 光インターコネクションによるデータのマルチキャスト (1 対 4) : 1 つの光源から出射した光線が CGH パターンにより回折され、4 点に分岐している。

Fig. 13 Multicast optical interconnect (1 to 4).

7. まとめ

自由空間光インターコネクションと光電子 LSI の導入により顕在化するチップ間の通信時間の低減、LSI の単位面積あたりの通信能力の向上などの物理層の特徴をふまえ、アプリケーションを光・電子融合システム上で最短時間で実行させるアルゴリズムを導出する枠組みと手法を示した。また、多層構造を有する光・電子融合システム OCULAR-II へのアルゴリズムの実装において、前述のアルゴリズム設計論を応用した。ネットワークの構造、計算量、通信量などの特性を包括的にとらえることにより、データの入力から出力に至るまでの過程をボトルネックなく実現する方法をシステマティックに得ることができる。

本論文では、光技術が計算機システムの物理層に導入されることの基本的な影響を考慮することを優先したため、システムの計算能力や通信能力の評価に、LSI の詳細なアーキテクチャや通信方式の詳細がモデル化されていない。また、行列演算のように、通信量

と計算量が実行前に既知であるアプリケーションを対象としている。今後は、光電子LSIに実装されるべきアーキテクチャの検討や全体システムの制御アーキテクチャなど、光・電子融合型システムのより実際的な応用へ向けての検討が必要である。

参考文献

- 1) Krishnamoorthy, A.V. and Miller, D.A.B.: Scaling Optoelectronic-VLSI Circuits into the 21st Century: A Technology Roadmap, *IEEE Journal of Selected Topics in Quantum Electronics*, Vol.2, No.1, pp.55-76 (1996).
- 2) Ishikawa, M. and McArdle, N.: Optically Interconnected Parallel Computing Systems, *IEEE Computer*, Vol.31, No.2, pp.61-68 (1998).
- 3) Desmulliez, M.P.Y., Tooley, F.A.P., Dines, J.A.B., Grant, M.L., Goodwill, D.J., Baillie, D., Wherrett, B.S., Foulk, P.W., Ashcroft, S. and Black, P.: Perfect-shuffle interconnected bitonic sorter: optoelectronic design, *Applied optics*, Vol.34, No.23, pp.5077-5090 (1995).
- 4) McArdle, N., Naruse, M., Ishikawa, M., Toyoda, H. and Kobayashi, Y.: Implementation of a Pipelined Optoelectronic Processor: OCULAR-II, *Technical Digest, Optics in Computing '99*, pp.72-74 (1999).
- 5) Goodman, J.W.: *Introduction to Fourier Optics*, McGraw-Hill (1968).
- 6) 一岡芳樹, 稲場文男(編): *光コンピューティングの辞典*, 朝倉書店 (1997).
- 7) Semiconductor Industry Association (SIA): *The National Technology Roadmap for Semiconductors* (1997).
- 8) European Commission: *Technology roadmap: Optoelectronic interconnects for integrated circuits* (1998).
- 9) Hinton, H.S.: Progress in the Smart Pixel Technologies, *IEEE Journal of Selected Topics in Quantum Electronics*, Vol.2, No.1, pp.14-23 (1996).
- 10) Kirk, A., Tabata, T. and Ishikawa, M.: Design of an optoelectronic cellular processing system with a reconfigurable holographic interconnect, *Applied Optics*, Vol.33, No.8, pp.1629-1639 (1994).
- 11) Ahuja, R.K., Magnanti, T.L. and Orlin, J.B.: *NETWORK FLOWS Theory, Algorithms, and Applications*, Prentice Hall (1993).
- 12) Toyoda, H., Y.Kobayashi, Yoshida, N., Igasaki, Y., Hara, T., McArdle, N., Naruse, M. and Ishikawa, M.: Compact optical interconnection module for OCULAR-II: A pipelined parallel processor, *Technical Digest of Optics in Computing '99*, pp.205-207 (1999).

(平成 11 年 8 月 31 日受付)

(平成 12 年 3 月 2 日採録)



成瀬 誠

1971 年生。1999 年東京大学大学院工学研究科計数工学専攻博士課程修了。同年同大学リサーチ・アソシエート。光インターコネクションに関する研究に従事。工学博士。



石川 正俊

1954 年生。1979 年東京大学大学院修士課程修了。同年工業技術院製品科学研究所, 1989 年, 東京大学大学院工学系研究科計数工学専攻助教授。1999 年同教授。生体計測, 触覚センサ, 超並列・超高速ビジョン, 光コンピューティング, センサフュージョンの研究に従事。工学博士。1984 年計測自動制御学会論文賞, 1988 年度工業技術院長賞, 1989 年応用物理学会光学論文賞受賞。1997 年高度自動化技術振興賞(本賞), 1998 年日本ロボット学会論文賞受賞。