

汎用エンジン RM-I による論理シミュレーション

5 L - 9

澄川文徳 永田真一* 菅沼直昭 富田昌宏 平野浩太郎
神戸大学 *(株)安田信託銀行

1. はじめに

論理回路の大規模化・複雑化にともない、論理およびタイミングチェックのための論理シミュレーションに要する時間が増加している。一方で、対象とするデバイスの多様化に伴い、設計用途に対応した多様な素子、遅延モデルへの対応が求められている。論理シミュレーションの高速化のために、これまで多くのシミュレーション・エンジン [1-3] が開発されてきた。その多くは徹底した専用化によって処理速度の向上を図る反面で、柔軟性に欠けるために、対応可能な素子、遅延モデルの拡張が困難な点に問題があった。

本稿では、汎用エンジン RM-I 上に構築した論理シミュレータ: LSIM (Logic Simulator) について述べる。ゲートレベルでプログラム可能な汎用エンジンの特性を活用することによって、処理速度を犠牲にすることなく、素子モデル、遅延モデル等の仕様変更に対して柔軟に対処可能とする点を特徴とする。

2. 仕様

LSIM のハードウェアに関連する仕様を以下に示す。

- (1) 対象: ゲート素子, 双方向信号線の値を決定するトライステート・ノード
- (2) 回路規模: 16 K素子まで扱う
- (3) 処理速度: 100 万イベント/秒 (4 MHz クロック)
- (4) 信号値: 3 状態 (0, 1, X) × 4 信号強度 (Drive, Resistive, Big cap., Floating)
- (5) 遅延: 0 ~ 4,095 単位時間で各素子に割り当て
- (6) シミュレーション方式: イベント, すなわち信号値変化を生じた素子のみを評価するイベント・ドリブン法を採用

3. 構成

3.1 システムの構成

図1にシステムの構成を示す。本システムは、シミュレーションを高速に実行する LSIM エンジンと、パーソナル・コンピュータ上で稼動する支援ソフトウェアから構成される。

支援ソフトウェアは、回路図やテストパターンなどのシミュレーションに必要なデータの入力と、エンジン (ハードウェア) 上で扱う形式へのデータ変換, エンジンの実行制御, および結果表示・解析を行う。回路モデル作成と実行制御の一部を除いて、1チップ・ゲートアレイを用いたシミュレーション・エン

ジン TASSE II [3] のシステムと共通している。

LSIM エンジンは、汎用エンジン RM-I 上に実現されている。インタフェース・モジュール (FPGA 0) が、ホスト・コンピュータとのデータの受け渡しと、シミュレーション時刻の管理を行う。実行モジュール (FPGA 1~4) が、実際にシミュレーションを実行する処理ユニットの役割を果たす。

3.2 ハードウェアの構成

図2にハードウェアの構成を示す。図中に、各テーブル毎の FPGA 1~4 への割り当てを示している。処理速度の向上を図るとともに、同一素子を同一時刻に重複して評価することを避けるため、SP [2] と同様に、処理をイベント伝搬と素子評価の2フェーズに分け、それぞれの処理をパイプライン化した。

各フェーズの処理について概要を述べる。

(1) イベント伝搬

スケジューラが、各時刻ごとのイベントを管理する TQ (Time mapping Queue) より、現シミュレーション時刻に出力端子イベントを生じる素子の番号と信号値を取り出す。信号値を観測すべき素子にイベントが発生した場合、モニタ・イベントとしてホストに通知する。プロパゲータが、素子番号をもとに接続索引表を参照し、接続本表の先頭アドレスを得る。そのアドレスから接続本表を順次読み出すことで、素子出力から接続する入力端子へのファン・アウト処理を行う。イベント・マネージャによってイベントが伝搬する入力端子の信号値を更新するとともに、イベント・フラグによって未登録と判断された場合は、評価すべき素子としてイベント・リストに登録する。

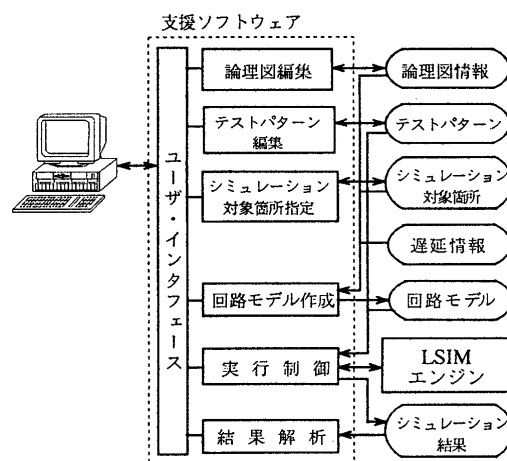


図1 システムの構成

Logic Simulation on Reconfigurable Machine-I
Fuminori Sumikawa, Shinichi Nagata*, Naoaki Suganuma,
Masahiro Tomita and Kotaro Hirano
Kobe University, *Yasuda Trust and Banking, Co. Ltd.

(2) 素子評価

イベント・マネージャが、評価すべき素子をイベント・リストから取り出すと同時に、イベント・フラグをクリアする。演算器が、入力信号値と素子機能を示すコードをもとに、この素子の出力信号値を評価する。比較器によって、現在の出力値との比較が行われる。変化が生じた場合は、TQの現時刻に遅延時間を加えた時刻にイベントとして格納する。

また、FPGAの負荷を均一にするため、FPGA 1~4をそれぞれ異なった処理に割り当てると同時に、メモリ・アクセス競合の発生を抑えてパイプライン処理の効率を向上させるように工夫した。特に、TQに登録されているイベントの取り出しとそのリスト要素の解放について、まず同一時刻に発生するすべてのイベントの取り出しを行う。その後で、不要となったリスト要素をポインタ操作によって未使用リストに一括して返却する。この方法により、各要素単位では1クロックでのイベント取り出しを実現している。

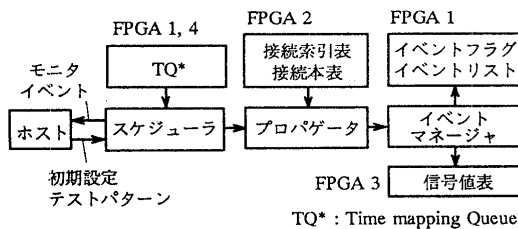
4. 実験と評価

処理速度を求めるため、4種類の回路について実験を行った。表1に実験結果を示す。平均で109万イベント/秒の処理速度を達成した。

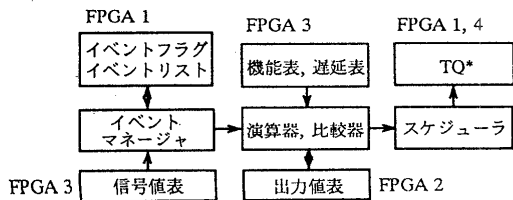
各ハードウェア処理に要するクロック数を表2に示す。比較のため、TASSE II [3]の処理クロック数を示す。さらに、パイプライン化により相殺されるクロック数を表の右欄に示す。

LSIMでは、TASSE IIと比べて各処理に要するクロック数が約1/2に短縮されている。

現状では、汎用エンジン上で独立してアクセスできるメモリ



(a) イベント伝搬時の構成



(b) 素子評価時の構成

図2 ハードウェアの構成

表1 処理速度

回路名	ゲート数	処理時間 (msec)	イベント数	処理速度 (万イベント/sec)
DDA8	584	1.78	1,977	111
INV1K	1,000	46.7	45,472	97
OKI	420	40.8	39,648	97
演算器	156	21.2	28,384	130

表2 各ハードウェア処理に要するクロック数

処理項目	TASSE II	LSIM	LSIMパイプライン化対象
時刻切り替え	6	3	0
TQイベント取り出し	3	1	1
ファンアウト処理	5	2	1
評価素子取り出し	2	1	1
ゲート評価	2	2	2
出力値比較	2	1	1
TQイベント登録	4	2	1

・バンク数が4であるため、ファンアウト処理と出力イベントのTQへの登録処理においてパイプラインの効率が低下する。

結局、1イベントの処理に要するクロック数は、イベント伝搬に1+1（ファンアウト処理での待機）、素子評価に1+1（TQイベント登録での待機）、合計4クロックである。TASSE IIでは、1イベントに約15クロックを要することから、LSIMはTASSE IIに比べて、クロック数を約1/4に短縮可能となった。将来的に、同時アクセス可能なメモリ・バンク数を拡張した汎用エンジンを利用すれば、SP [2]と同様に各フェーズについて1クロックでの処理が可能となると考えられる。

5. まとめ

汎用エンジン RM-I 上に構築した論理シミュレーション・エンジン LSIM について述べた。汎用エンジンの利用と、パイプライン処理効率を考慮したハードウェア資源の割り当てによって、高速性と高い柔軟性の両立が可能となった。

今後の課題として、シミュレーション対象モデルの拡張と、規模を拡大した汎用エンジン上での実現が挙げられる。

参考文献

- [1] T. Blank, "A Survey of Hardware Accelerators Used in Computer-Aided Design," *IEEE Design and Test of Computers*, vol.1, no.3, pp.21-39, 1984.
- [2] M. Saito, et al. "Logic Simulation System Using Simulation Processor (SP)," *Proc. 25th Design Automation Conference*, pp.225-230, 1988.
- [3] 富田昌宏他, "1チップ・シミュレーションエンジン: TASSE II," 情報処理学会第42回全国大会講演論文集, vol.6, pp.178-179, 1991.