

データフロー計算機向けフローグラフの最適化 —dataflow pipeliningの実現—

2L-7

許 昭倫 溝口正典

日本電気(株) C&C情報研究所

1. はじめに

筆者らは、ワンチップの静的データフロープロセッサであるImPP(μ PD72181)²⁾向けに、Cのサブセット仕様を持った画像処理用高級言語DPC(Dataflow Pipelining C)の最適化コンパイラを開発中である。ImPPは7段の可変パイプラインを実現するリングアーキテクチャを持ち、またtokenごとにタグ²⁾を持たない代わりに各命令に対し待合わせFIFOキューを設定できる。そうした特徴を利用することでDPCコンパイラでは、ループ部に対しtokenの順序性を保証するグラフ構築³⁾をした上で、複数イタレーションの重畳実行(loop unfolding)を実現している。その際、ループ実行速度向上及びImPPでの限られたFIFO資源の節約のため、ループの処理内容に応じイタレーションの起動インターバル d と、連続に起動可能なイタレーション数を制限する重畳度 k の適切な設定が重要である。

本稿では特に、分岐を内部に持ったloop carriedなデータ依存関係を持ったループ(=doacrossループ)を重畳実行する際の、コンパイル時の適切な d, k の設定法について報告する。なお d の設定法等は、従来からsoftware pipelining^{4) 5)}として研究されているが、それに対し本稿での設定法を以降、dataflow pipeliningと呼ぶことにする。

2. software pipeliningによる設定

重畳実行されたループの場合、起動インターバルを d 、各イタレーションの理想実行時間を L 、全イタレーション数を n とするとループの理想実行時間 LL (ループのクリティカルパス)は、 $LL=L+(n-1) \cdot d$ となり(図1)、 n が大きい場合 LL は d の大きさに大きく左右される。そこでsoftware pipeliningでの課題は、

- (1) 先行制約(precedence constraints)
- (2) レジスタ数制約(resource constraints)

の両方を満足した上でいかに d の最小値を求めるかである⁴⁾。特にdoacrossループでは、同一変数(=同一メモリ/レジスタスペース)に対する参照命令 r の後に定義命令 w が存在するような r から w へのパス(以降それを逆依存パスと呼ぶとする)が1つ以上存在するが、そうした r と w の実行タイミングの差(=パス長)の最大値を γ とすると、 d の下限は(2)の制約がない場合 γ に等しい⁵⁾(図2)。また、software pipeliningで

は明示的な重畳度 k の設定は行われ(k は、 L が一定である場合は、 $k=L/d$ としたことに相当する⁶⁾)。

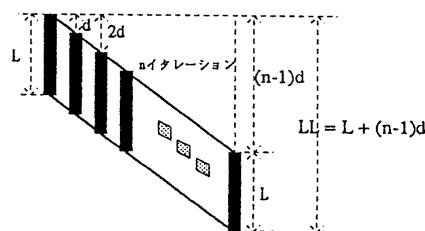


図1 重畳実行時の一般的なループ理想実行時間 LL

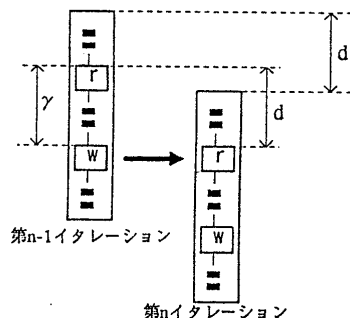


図2 doacrossループでのsoftware pipeliningによる d の下限

3. dataflow pipeliningによる設定

dataflow pipeliningではデータはtokenによって運ばれるため前記の制約条件(1),(2)は存在せず、したがってdoarocssループに対しても d を任意の小さい値に設定できる。但し d を γ 以下の値に設定した場合、データ依存関係を満足させるためにマッチングメモリ内の待ちtoken数が増加するのは自明であるが、それに応じどれくらい LL が向上するかはこれまで明らかではなかった。そこで、そうしたメモリ消費量と LL との関係をシミュレーションにより調べたのでその結果を示す。さらに、それに基づいて求められた d 、そして重畳度 k の設定法を示す。

3-1 シミュレーションにおける条件設定

シミュレーションの対象は逆依存パスを1つ以上持ったループであるが、簡単のため、最大逆依存パス(パス長= γ)のみが存在するループについてシミュレーションを行った。またループは、分岐の存在する位置により下記4種類に分類した：

- (a) 分岐を含まない
- (b) 分岐が最大逆依存パスの前に存在する
- (c) 分岐が最大逆依存パス中に存在する
- (d) 分岐が最大逆依存パス中と前に存在する

The Optimization of Flow Graphs for Dataflow Computers —Dataflow Pipelining—

Sholin KYO Masanori MIZOGUCHI
NEC Corp. C&C Info. Tech. Res. Labs.

イタレーション数を100、分岐の確率は真偽両方向ともほぼ同一とし、真側 (=分岐した場合) のバス長は、偽側のそれ (f: 最大逆依存バスの前、F: 最大逆依存バス中) の整数倍 (同b倍、B倍) とし、最大逆依存バス (バス長 $\gamma = B \cdot F$) の後の処理バス長 (=e)、最大逆依存バスの前の分岐で最初に真側に分岐したイタレーションの番号をm、そしてd,kを加えこれら f,b,F,B,e,mの値を可変とした(図3)。

3-2 シミュレーションの結果

シミュレーションは、様々なf,b,F,B,eに対しm,k,dを変えながら行ったが、ほぼ同様な傾向が見られた。以下ではF=f=e=6 steps, B,bが1または3の場合の結果(図4)を示す。(a)では、 $d < \gamma$ としてもLL(実線)はそのままメモリの消費量(破線)だけが増大した。即ちこの場合 $d = \gamma$ が最適であり software pipelining によるdの下限と一致する。(b)では $d < \gamma$ の範囲ではmにより若干LLの減少が見られ、 $d < \gamma$ では<式1>が成立することを確認した(但し $\epsilon = (\gamma - d)$ とする)。

$$\text{if } b \cdot f > \epsilon \cdot (m-1) \quad LL = L + (n-1) \cdot d - \epsilon \cdot (m-1)$$

$$\text{else} \quad LL = L + (n-1) \cdot d \quad \text{<式1>}$$

なお、(a),(b)でのメモリ消費量の増大はkの設定により改善できることは後述する。(c)と(d)では、LLはほぼdの減少に比例して減り、やがて $d = \gamma/B$ において一定となった。kを設定しない場合ではdの減少につれメモリ消費量も大きく増大するが、kを設定することで((c)(d)で $k=L/d, 3, 5$ の3通りを試みた)LLに若干の変化が見られるものの、メモリ消費量はk以下に抑えられた。(c)(d)ではシミュレーション全体を通じ、 $d = \gamma$ (software pipeliningでの下限設定)でのLLは、 $d = \gamma/B$ でのその約1.4倍となった。

3-3 dとkの設定法

シミュレーションを通して、(c),(d)のように逆依存バス内に分岐がある場合はdを分岐の短い方のバス

長に設定し($d = \gamma/B$)、また(a),(b)のように逆依存バス内に分岐が存在しない場合はdを逆依存バス長に設定する($d = \gamma$)のが妥当であるという結果が得られた。なお(b)ではdを γ より小さくすれば、<式1>に従いさらにLLを若干短縮できる。重畳度kに関しては最適な設定法は存在しないが(c)(d)での結果から、 $k=L/d$ とした上、例えば $2 \leq k \leq 5$ 等の制約を使用可能なマッチングメモリ容量に応じ設けるのがよいと考えられる。

4. おわりに

データフロー計算機上で分岐を内部に持ったdoacrossループを重畳実行する際の、起動インターバルd及び重畳度kの設定法を検討した。また、それに基づけば従来よりもループ理想実行時間LLを約1.4倍高められることをシミュレーションにより確認した。今後は実アプリケーションを対象に、より詳細にdataflow pipeliningの効率性を検証していく予定である。

[謝辞]

本研究を進めるに当たりご指導、ご討論いただいた天満ボタン認識研究部部長、並びに研究部の同僚諸氏に感謝いたします。

[参考文献]

1)Temma et al, "Data Flow Processor Chip for Image Processing" IEEE Trans., 1985, ED-32, pp-1784-1791. 2)Arvind, R. Nikhil, "Executing a Program on the MIT Tagged-Token Dataflow Architecture" IEEE Trans. on Computers, Vol.39, No.3, pp.300-318, 1990. 3)許, "静的データフローアーキテクチャ向け高級言語のコンパイル法"第43回情報処大, 2P-8, 1991. 4)A. Aiken, A. Nicolau, "Optimal Loop Parallelization" Proc. of the SIGPLAN '88 Conf. on PLDI, pp.308-317, 1988. 5)M.Lam, "Software Pipelining: An Effective scheduling Technique for VLIW Machines" Proc. of the SIGPLAN '88 Conf. on PLDI, pp.318-328, 1988. 6)M.Beck, K.K.Pingali, "Static Scheduling for Dynamic Dataflow Machines", Journal of Parallel and Distributed Computing 10, pp.279-288, 1990.

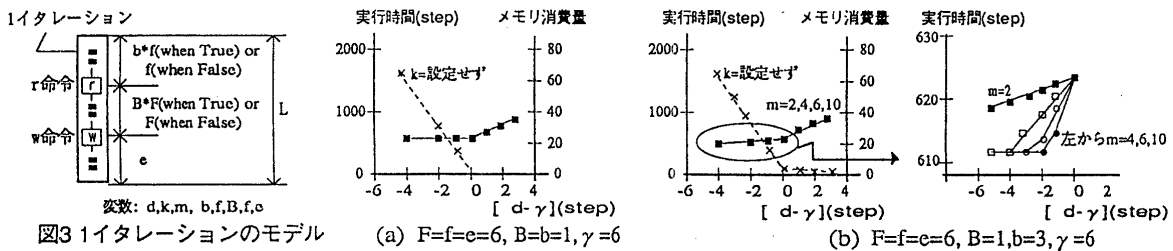
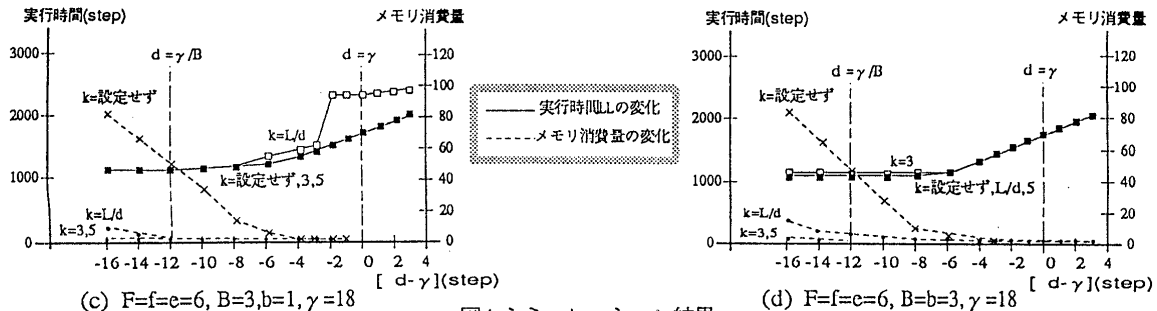


図3 1イタレーションのモデル

(a) F=f=e=6, B=b=1, $\gamma=6$

(b) F=f=e=6, B=1, b=3, $\gamma=6$



(c) F=f=e=6, B=3, b=1, $\gamma=18$

(d) F=f=e=6, B=b=3, $\gamma=18$

図4 シミュレーション結果