

高性能マイクロプロセッサのためのTranslation-Lookaside-Bufferの性能評価

2L-5

内海則夫 長尾彰文* 平井孝太郎 坂本良来 三宅二郎 枝松壽一
 松下電器産業株式会社 半導体研究センター
 *松下電子工業株式会社 システム開発センター

1.はじめに

アドレス変換器 (TLB)^[1] は、CAMとRAMの2つのメモリから構成され、論理アドレスを物理アドレスに変換する際のキャッシュである。TLBの設計で重要なことは、(1) TLBでのアドレス変換ミス率を最小にする。(2) アドレス変換ミスが発生した場合テーブルウォークに必要とする時間を最小にすることである。従来TLBのエントリー数とアドレス変換ミス率の関係は報告されているが^[2]、TLBの構成とアドレス変換ミス率の関係、ページテーブルキャッシュ(PTC)^[3]を用いてテーブルウォークを高速化した場合の効果の報告は少ない。

本稿では、命令レベルシミュレータ^[3]を用い、3種類のTLBの構成について、実際のアプリケーション(SPECベンチマークプログラム^[4])を実行した時に発生するアドレス変換のペナルティを評価した。またPTCの評価を行った結果も報告する。なお、命令セットとMMUはSPARCのものを使用した。^[5]

2.解析モデル

図1にモデル構成図を示す。

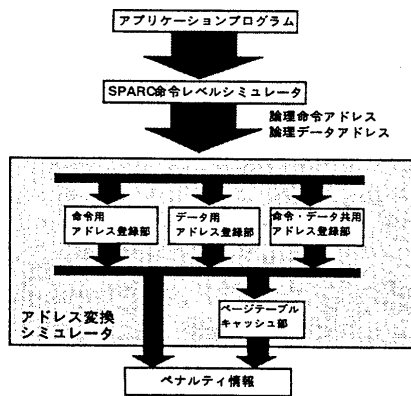


図1 モデル構成図

実際のアプリケーションプログラムを、命令レベルシミュレータを用いて、実行命令及びデータアクセス命令の論理データアドレスを求め、アドレス変換シミュレータに入力する。

Performance Evaluation of a Translation-Lookaside-Buffer for Highly Integrated Microprocessors
 Norio Utsumi, Akifumi Nagao*, Koutarou Hirai, Yoshiki Sakamoto, Jiro Miyake and Hisakazu Edamatsu
 Semiconductor Research Center, Matsushita Electric Industrial Co., Ltd.
 *System Development Center, Matsushita Electronics Co., Ltd

各部で発生するペナルティを表1に示す。

表1 ペナルティ一覧

	ペナルティ数
命令アドレス登録部ミス	1クロック
データアドレス登録部ミス	
命令データ共用アドレス登録部ミス	
ページテーブルキャッシュ部ヒット	8クロック
ページテーブルキャッシュ部ミス	32クロック

3.TLBの構成

3つの構成を比較した。論理アドレスから物理アドレスへの変換は4Kバイトのページサイズに従う。各アドレス登録部の構成はフルアソシエティブ方式とし、リプレースアルゴリズムはFIFOとする。テーブルウォークには4レベルの変換テーブルを用いる。

●ITLB/DTLB

命令用のTLB (ITLB) とデータ用のTLB (DTLB) を用意する。各TLBがミスするとテーブルウォークを行う。

●ITLB/DTLB/GTLB

ITLBとDTLBに加えて命令・データ共用のTLB (GTLB) を用意する。GTLBは、ITLBあるいはDTLBがミスすると補助的に各々のアドレス変換を行う。GTLBがミスするとテーブルウォークを行う。

●ITLB/GTLB

ITLBとGTLBを用意する。データアドレスの変換をGTLBで行うのに加えて、ITLBがミスすると補助的に命令アドレスの変換も行う。GTLBがミスするとテーブルウォークを行う。

表2にシミュレーションを行った構成とエントリー数について示す。

表2 TLBの3つの構成

構成	エントリー数
ITLB/DTLB	32/32
	64/64
ITLB/DTLB/GTLB	8/8/128
	16/16/128
	32/32/128
ITLB/GTLB	8/64
	8/128
	16/128

4. PTCの構成

PTCは、以前テーブルウォークしたアドレス情報を格納しておくキャッシュである。テーブルウォークが発生すると通常メモリアクセスを4回行うが、PTCがヒットすると1回ですむ。2つの構成を比較した。PTCのリプレースアルゴリズムは FIFO とした。

● IPTC/DPTC

命令用の PTC (IPTC) とデータ用の PTC (DPTC) を用意する。

● GPTC

命令・データ共用の PTC (GTPC) を用意する。

5. シミュレーション結果

ベンチマークプログラムには、SPEC ベンチマークプログラムの一部 (gcc, doduc, fpppp, spice2g6) を使用した。命令及びデータアクセス数を表3に示す。

表3 命令/データアクセス数 (X 1000000)

	命令	データ
gcc	25.6	7.1
doduc	65.5	35.4
fpppf	107.5	92.5
spice2gf	1224.3	298.4

5.1 TLBの構成とアドレス変換ミス率

図2にシミュレーション結果を示す。横軸にTLBの構成、縦軸にペナルティサイクルの合計の命令アクセスサイクルに対する割合(アドレス変換ミス率)を示す。

[1] ITLB (64) / DTLB (64) のアドレス変換ミス率が極めて小さい。これは命令・データのアドレス情報のほとんど全てが64エンタリーに収まるためと予想される。

[2] ITLB (32) / DTLB (32) に比べて ITLB (32) / DTLB (32) / GTLB (128) のアドレス変換ミス率が極めて小さい。ITLB (8) / GTLB (64) に対する ITLB (8) / GTLB (128) も同様である。GTLBが、ITLBあるいはDTLBのアドレス変換ミスを捕っていることが分かる。

[3] ITLB/DTLB/GTLBの構成は、GTLBのエンタリー数が等しいのかかわらず、ITLBとDTLBのエンタリー

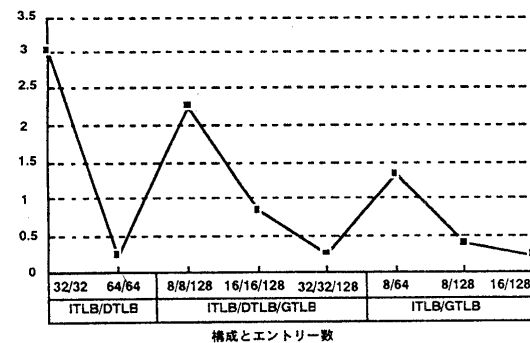


図2 TLBのシミュレーション結果

リー数がそれぞれ小さい構成 (8 あるいは 16) の方がアドレス変換ミス率が高い。ITLB あるいは DTLB がミスして GTLB にアクセスする1クロックのペナルティの積み重ねが要因である。

5.2 PTCとテーブルウォークのサイクル数

4で示した2種類の PTC の構成を ITLB (64) / DTLB (64) の構成に含めて比較した。図3に PTC のエンタリー数を変化させた時の、テーブルウォークのサイクル数を示す。

[1] PTC は4個用意すれば十分な効果が得られる。

[2] 同じ個数の PTC を用意した場合、GPTCの方が優れている。これは、命令・データのTLBミスの頻度がアプリケーションの実行場所によって異なるので、ダイナミックに PTC の割り振りを行ったほうが PTC ミスを起こしにくいと予想される。

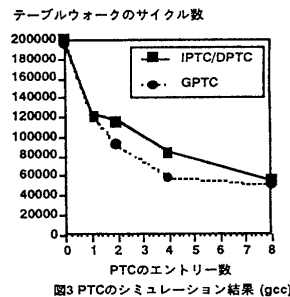


図3 PTCのシミュレーション結果 (gcc)

6. むすび

SPECベンチマークプログラムを入力とする命令レベルシミュレータを用いてTLBの性能解析を行い、GTLBの効果を確認した。今後の課題としては、コンテキストスイッチなどOSの動作をアドレス変換シミュレータに組み込み、マルチタスクの状態を反映したTLBの性能解析を行う必要がある。

参考文献

- [1] Miyake J: "A Highly Integrated 40-MIPS (Peak) 64-b RISC Microprocessor", IEEE J. Solid-State Circuits, Vol.25, No.5, pp. 1190-1198, Oct. 1990.
- [2] Clark D: "Performance of the VAX-11/780 Translation Buffer: Simulation and Measurement", ACM Translation on Computer Systems, Vol.3, No.1, pp. 32-62, Feb. 1985.
- [3] Utsumi N: "Performance Evaluation of a Translation Look-aside Buffer for Highly Integrated Microprocessors", IEICE TRANS. (to be published)
- [4] SPEC newsletter, Vol 1, 1, Fall 1989.
- [5] The SPARC Architecture Manual Version 8, Sun Microsystems, Inc., 1990