

タイミング最適化ECOの実験と評価

7K-8

石岡 尚 , 村方正美 , 室伏 眞佐子
(株)東芝 ULSI 研究所

1 はじめに

回路が微細化, 大規模化するにともない, ゲート遅延に比べて配線遅延の占める割合が大きくなり無視できなくなっている。要求遅延を越えていたり, 要求遅延に近いパスのことをクリティカルパスといい, このようなパスが, 存在すると, 回路の正常動作が保証されない。クリティカルパスを効果的に見つける手法についてはさまざまな研究 [1, 2] がなされている。クリティカルパスを減らすために, 従来のレイアウト処理では, 自動配置においてネットウェイト手法等により配線長を制御することで配線遅延最適化を行っていた。しかしこのような方法だけでは回路が大規模化するにつれて多大な実行時間を必要とすることや配置位置の変更だけでは対処しきれない場合があり, 問題があった。

そこで我々は, レイアウトの途中で, タイミング最適化処理を繰り返すことなくタイミング制約を満たすために遅延短縮を目的とする ECO (Engineering Change Order) 処理の実験と評価を行なった。

ECO とはバッファの挿入やセルの置き換え等, ネットリストの変更を伴うレイアウト変更のことである。

タイミング制約を満たすための ECO を行なうには, クリティカルパス上のどの部分を処理対象とするのかどのような処理を行なうのかが問題となる。今回の実験は, 処理対象部分の特定法について一つの解を与えるものである。実験では 17k の SOG データに対してセル置換処理を施し, レイアウト品質を落すことなく最大パス遅延を約 8% 短縮することができた。

2 定義

まず, クリティカルパスは典型的には 2 つのフリップフロップ間のゲート, ネットの連鎖であらわすことができる。(図 1 参照)

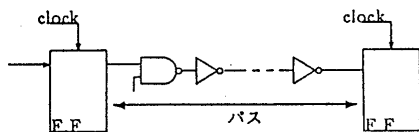


図 1: クリティカルパスの例

このゲート-ネットの連鎖 1 つを 1 段と呼ぶことにする。ゲート間は図 2 のようなモデルで表すことができる。この場合, 1 段あたりの遅延は次のように計算される。

An experiment on engineering change order for timing driven layout.
Takashi Ishioka, Masami Murakata, Masako Murofushi
ULSI Reserch Center, TOSHIBA Corporation

$$1 \text{ 段あたりの遅延} = \text{ゲート内部遅延} + (\text{出力抵抗} \times \text{入力容量}) + (\text{出力抵抗} \times \text{配線容量})$$

クリティカルパスの遅延はクリティカルパスに含まれる段の遅延を加算したものと表すことができる。

このようなクリティカルパスの遅延の要因について調査した結果, 抽出されたクリティカルパス群は次のように大きく 2 つに分類することができることがわかった。

- 個々の段の遅延は大きくないが, 段数の多いパス
- 段数は多くないが, 特に大きな遅延を持った段が存在するパス。

レイアウトにおいて, 前者のような, 小さな遅延しか持っていないような段が多数集まってきているパスの遅延をセルの配置状況を変更するだけで小さくすることは困難である。一方, 後者のようなパスは, 1 段あたりの遅延が大きな部分が存在するので, このような部分に改良を加えることで遅延の改善が期待できる。

さて, 遅延の内訳を詳しく見て, その対処を考える。まず, 遅延解析で抽出されたクリティカルパスの段数は 20 から 40 段である。これらのクリティカルパスから 1 つ選び出して例を示す。表 1 はそのクリティカルパス (トータルの遅延を 100% とする) の遅延を構成する段のうち, 遅延が大きい方から上位 8 個の内訳を示したものである。(ただしすべて単位はパーセント)

この 8 段だけでこのパスの遅延の 70% 以上を占めている。もしこれらの段の遅延を改善することができれば, かなりの遅延の改善を見込むことができる。これを見ると, ファンアウトの大きい段がかなりの割合で含まれており, そういったものは配線容量による遅延が多くの部分

	遅延の和	内部遅延	入力容量遅延	配線容量遅延	遅延係数	F.O.
	12.08	11.46	0.09	0.53	0.057	1
	11.78	0.23	7.48	4.07	0.080	30
	11.24	0.34	4.27	6.63	0.106	16
	9.40	1.20	1.49	6.71	0.106	11
	8.64	7.39	0.15	1.10	0.046	3
	7.79	0.40	1.71	5.68	0.105	11
	6.67	0.26	1.19	5.23	0.099	8
	5.18	1.20	1.51	2.47	0.106	6
計	72.78	22.48	17.89	32.42		

表 1: あるクリティカルパスの上位 8 個の段の遅延の内訳

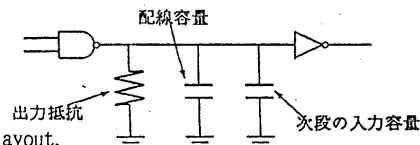


図 2: ゲート間の遅延モデル

を占めているのがわかる。また、このようにファンアウトの大きな段では、必然的に入力容量による遅延分も大きくなる。従来の配線長を短くしようとするレイアウト手法のみでは、ファンアウトの大きなネットなど必然的にネット長が長くなるようなネットの遅延を小さくすることは困難な場合があった。

これに対処するために、例えば、ファンアウトの大きい部分や、配線長の長い部分を駆動するセルを駆動能力の高い（遅延係数の小さい）物に替えるなどが考えられる。

内部遅延の大きな2つの段を除く6つの段のセルを駆動能力の高いものにした場合を考える。この時、遅延係数が半分になる様なセルに置き換えたとして、入力容量、配線容量による遅延が半分になると期待できるので、これらの交換で遅延を約33%改善できる。

3 実験

ECOとしてはセルの交換やバッファの挿入、より複雑な手法としては部分再論理合成等が考えられる。今回の評価実験では、問題部分のネットを駆動するセルを交換する手法をとる；処理の流れをまとめると以下の通り。

まず始めに、遅延解析を行ないクリティカルバスを抽出する。抽出されたバスのネットのうち、平均よりも長いクリティカルネットを選び出し、そのネットを駆動するセルを高駆動力タイプに変換する。

Step1. 配置結果に対して遅延解析を行ない、クリティカルバスの抽出。

Step2. クリティカルバスからクリティカルネットを抽出する。

Step3. クリティカルネットを駆動するセルから、高駆動力タイプに変換する候補を選択する。

Step4. 選択された各セルを高駆動力タイプに変換した場合の遅延改善度を見積りする。遅延改善の見積もりについては、レイアウトの他の部分の配置をやり直すことなく交換する事ができたと仮定して行なう。つまり実際に配置をやり直すことはせず以下の点に注意して遅延の増減のみを計算する。実際には、次の三つの要素の和を計算して、交換をした場合に遅延が減るかどうかが調べる。

- 高駆動力セルに変えることによるセル内部遅延の増大分
- 駆動力の増大による配線容量遅延、入力容量遅延の減少分
- 駆動力の増大による前段分の入力容量の増大分

また、前段のセルがドライプリミット違反を起こさないかどうかをチェックする。

Step5. 改善度の高いセルから交換する。

Step6. 交換後に配置し直す。

4 結果

使用したデータ：SOG 17k 母体で約3000セルのものをデータとして使用した。

全体として約30個のセルを高駆動力のものに変更した。

交換をした場合としない場合でのバスの遅延分布を示したグラフが図3,4である。これは、タイミング制約の目的遅延を100%としてバス遅延の分布をとったものである。

セルを交換した結果、バスの最大遅延は8%改善された。

バス数

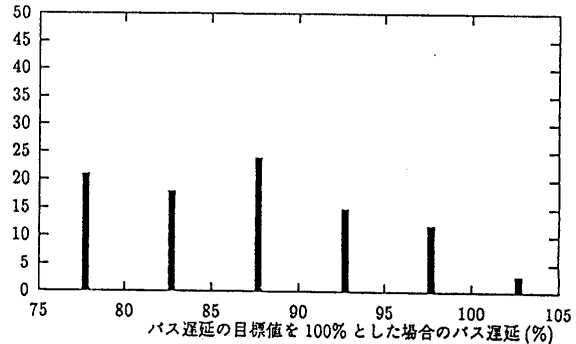


図3: 交換なし、制約付きで初期配置まで実行後のバス遅延分布

バス数

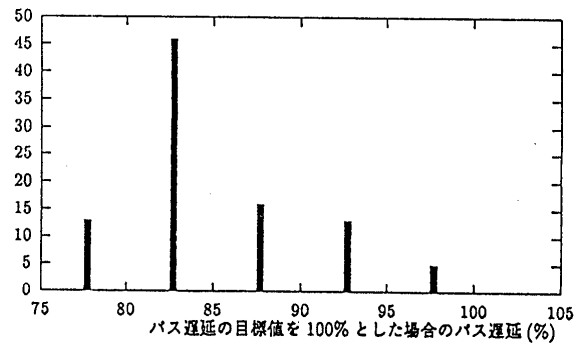


図4: 交換あり、制約付きで初期配置まで実行後のバス遅延分布

5 まとめ

今回の実験では、ECO処理の中でセルを高駆動力のものに変換するという方法に関して実験を行なった。その結果、遅延のバスの最大遅延は8%改善された。さらなる遅延改善のため、再論理合成や再テクノロジマッピングなどの回路構造を変えるような交換処理の検討が今後の課題である。

参考文献

- [1] Habib Youssef, Eugene Shragowitz, and Lionel C. Bening. "CRITICAL PATH ISSUE IN VLSI DESIGNS". *ICCAD*, pp. 520-523, 1989.
- [2] Yun-Cheng and Resve A. Saleh. "Incremental Techniques for the Identification of Statically Sensitizable Critical Paths". *28th ACM/IEEE Design Automation Conference*, pp. 541-546, 1991.