

敷き詰め型ゲートアレイの自動配置における対話編集機能の実現

7K-3

吉田可奈子、川井孝洋、高橋一浩、野田知義、寺井正幸

三菱電機(株) カスタムLSI設計技術開発センター

1. はじめに
3層配線CMOS敷き詰め型ゲートアレイ(Sea-of-gates array; SOG)では、ゲートアレイとは異なりトランジスタがチップ上に敷き詰められており、ROM、RAM等のラージマクロやゲートアレイの同一高さのセル(以下、標準セルと呼ぶ)をチップ上の任意の位置に配置することが可能であり、ラージマクロの配置、セル列(標準セルを配置するための領域)及び、チャンネル(配線領域)を設定するという処理が配置の前段階で必要である。この処理の結果は配線可能性に大きな影響を及ぼす。さらに、タイミング上の制約から、自動配置に対し様々な制約の指定を行なう必要がある。これらの処理は、全自動で行なうのは困難であるため、ラージマクロ配置、チャンネル、セル列の指定及びセルの配置位置の領域指定等をワークステーションの画面上で、機能コマンド群を用いて対話的に編集するツール(配置前処理プログラム)を実現した。本論文では、配線手法にチャンネルルータを採用した場合に特に有効な2つのコマンド、スライシング構造となるように逐次ラージマクロを配置して行くためのコマンドと、配線領域のチャンネル分割処理に対する人手指定コマンド、を含む配置前処理プログラムの機能コマンド群の概要と適用結果について報告する。

2. システム構成

本ツールは、配置配線ツールHGALOP[1]の配置の前処理として実行する。まず、チップの構造情報およびネットリストを読み込み、ワークステーションの画面上に、チップ構造を表示する。この時の表示要素としては、①一つのベシックセル(CMOSトランジスタペア)を一つの矩形で表現した、敷き詰められたベシックセルの並び(内部領域と呼ぶ)、②I/Oパッドファセルを配置可能な領域(周辺領域と呼ぶ)、及び③チップ上に存在する標準セルを配置出来ない領域(例えば、電源・グラウンド配線と、クロックのメインバンク配線)である。ユーザはこの表示されたチップ構造をもとに、ラージマクロの配置、セル列およびチャンネルの生成、及び配置領域指定を行なう。生成結果は、一旦HGALOPデータベースに格納し、この後の配置ツールが読み込む。

次に本ツールの処理手順を示す。まず、チップ構造、ネットリストを読み込み、ラージマクロの配置を行なう。次に、矩形のセル列領域(セル列と横チャンネルからなる領域)を図1のよりに人手で設定する。次に設定されたセル列領域と使用セルの面積比から配置可能かどうかを調べて、もし可能でないと本ツールが判断した場合は、再度ラージマクロの配置や、セル列領域を設定しなおす。配置配線可能であると判断した場合は、全セル列内BC(ベシックセル)数に対する全標準セルの総BC数の比率(セル列内使用率と呼ぶ)をユーザが指定し、その比率に基づいて各セル列領域におけるセル列の段数を決定し、できるだけ等間隔となるようにセル列を生成する。チップ上にできるラージマクロおよびセル列領域以外の隙間が配線チャンネルとなる。最後に、設定されたセル列上で、タイミング上近接して配置したい複数個のセルについて、その配置領域を指定する。

本ツールで実現した主な機能コマンド群は以下の通りである。

① 描画コマンド

ワークステーションの画面上にチップ構造、ラージマクロの配置結果、人手配置した標準セルの配置結果、ネットリストよりセル同士のつながりを表すフライン、セル列、セル列領域、チャンネルを表示する。表示画面に対して、パン機能、拡大、縮小表示機能をもつ。

② 編集コマンド

セル列領域の設定、セル列領域内の配置配線可能性判定、セル列領域およびラージマクロの消去、移動、ラージマクロおよびセル列領域の整列機能をもつ。

③ レイアウトチェックコマンド

編集コマンドによって生成したレイアウトに誤りがないかチェックする機能である。例えば、ラージマクロ同士や、セル列領域とラージマクロが重なっていないか、スライシング構造を満たしているかのチェックを行う。もし、違反箇所が存在すれば画面上でエラー表示を行う。

④ ラージマクロのスライシング配置コマンド

複数個ラージマクロを、スライシング構造を満たすように配置する機能をもつ。全自動又は、対話的に実行可能である。

⑤ チャンネル分割コマンド

チップ上のラージマクロとセル列領域との隙間(図1参照)に配線チャンネルを設定する機能をもつ。全自動で実行することも可能であり、また、1ステップづつ結果を表示しながらチャンネルを設定することも可能である。

⑥ セル列生成コマンド

前述のセル列領域において、ユーザが指定したセル列内使用率に基づいて各セル列領域におけるセル列を生成する段数を決定し、セル列領域内においてできるだけ等間隔になるようにセル列を生成する。また、隣合うセル列領域については、生成するセル列が揃うようにする。セル列内使用率は品種に依存せずほぼ一定(80~90%)という点で、市販ソールの「フロアプラン比率”(配置可能BC数/総BC数)の指定より操作性が良い。

⑦ 配置グループ領域指定コマンド

クリティカルパス上のセル群に対して配置領域を指定する。通常はクリティカルパス上のセル群は1つの階層マクロに含まれるので、これを利用して図2のように配置領域を画面上で指定する。

3. ラージマクロのスライシング配置及びチャンネル分割コマンド
HGALOP配線ツールはチャンネルルータを利用できるようになっている。このため、スライシング構造となるようにラージマクロとセル列領域を配置することと、チャンネル分割が重要である。本章では、このための我々独自の2つの機能コマンドについて述べる。

3.1 ラージマクロのスライシング配置コマンド

図3に示すとおりチップ上に貫通するチャンネル領域が存在し、また、その貫通したチャンネル領域によって切り出される領域にも縦あるいは横方向に貫通するチャンネル領域が存在し、同様にして貫通するチャンネル領域で切り出していくと最終的には、ラージマクロ、あるいはセル列の領域が取り出せるのがスライシング構造[2]である。

我々は、2つのラージマクロを組み合わせる操作を繰り返すことによりスライシング配置を生成する対話型組み立て式配置コマンドを作成した。まず、最も結び付きの強いラージマクロを2個選択しその2個のラージマクロを図4に示す8つの配置パターンのうちそれぞれラージマクロ間のフライン表示が最も短くなるように1つのパターンを選択する。配置パターンを設定する、以後この2つのラージマクロは一つの矩形ブロックとみなす。このブロックは、セル列及びラージマクロと重なってはならない。次に、ブロック同士又はブロックとラージマクロに対して同様の操作を繰り返す。チップ上には、この生成したブロック単位で配置する。チップ上には、複数のブロックが存在してもかまわない。このコマンドを用いてラージマクロ群をブロック化して配置することにより、必ずスライシング構造を満たす配置となる。

3.2 チャンネル分割コマンド

様々なサイズの多数のラージマクロが含まれた回路では一般に、ラージマクロの辺とセル列の辺が揃わないので図5のようにチャンネル分割の仕方(縦チャンネル優先又は横チャンネル優先)によっては“filler channel”[3]や内部に配線障害物が存在するチャンネルが多数発生する。これらの発生を少なくし、配線率を向上させるのに本コマンドが有効である。チャンネルは、スライシング構造チェック(図3)と同様にチップを分割する操作を繰り返し行うことにより設定する。その各ステップでチャンネルを生成する場合、縦方向にチャンネルを生成するか横方向にチャンネルを生成するかをユーザが指定できる(デフォルトは縦優先)。即ち、各ステップでユーザが優先方向を指定できる箇所が画面上に自動的に表示される。次に、ユーザがチャンネルを生成したい箇所を選択すると、チャンネル分割結果が画面上に表示される。この処理を隙間に全て配線チャンネルを生成するまで繰り返す。最終的には図6(a)に示すような図を表示する。

4. 適用結果

図7に本ツールの表示画面例を示す。本ツールを含むHGALOPを用いてラージマクロ14個を含む回路を250k rowゲートSOGチップ上に配置配線した結果を図6に示す。フロアプランが分かるようにラージマクロのスライシング配置及びチャンネル分割コマンドを用いてうまくレイアウトができ100%自動配線が短時間(配置15分、配線2時間 on SS2)で完了した。

5. むすび

今後更にタイミング保証関係の機能の充実を行う予定である。

参考文献

- [1] M.Terai, et al: "A new model for over-the-ccll channel routing..."
ICCAD 1991, pp.432-435.
- [2] W.M.Dai, et al: "Routing region definition ..."
IEEE Trans. on CAD, pp.189-197, 1985
- [3] Rathin Putatunda, et al: "HAPPI: A CHIP COMPILER ..."
23rd DAC, pp.736-743, 1986

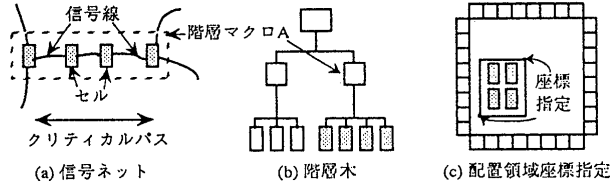


図2 配置領域指定機能

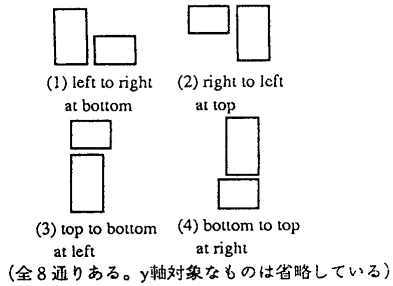


図4 配置パターン

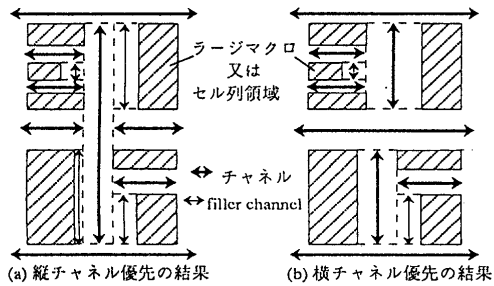


図5 チャンネル生成の結果

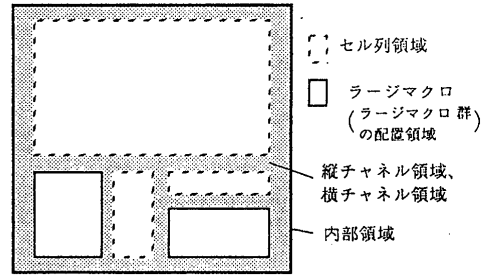


図1 チップ上におけるセル列領域、ラージマクロ(ラージマクロ群)の配置領域

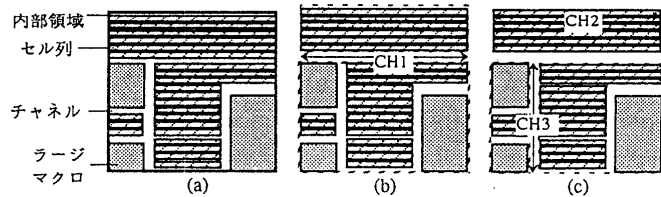


図3 スライディング構造

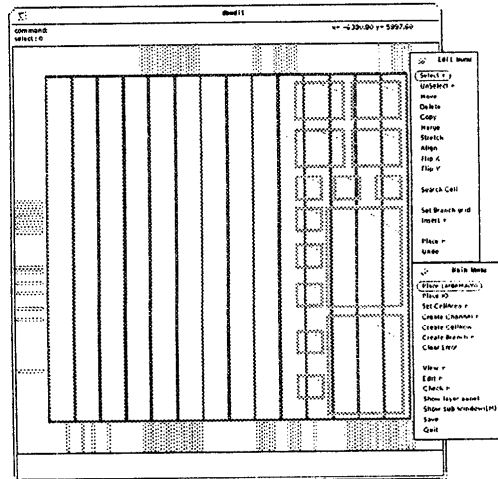


図7 表示画面

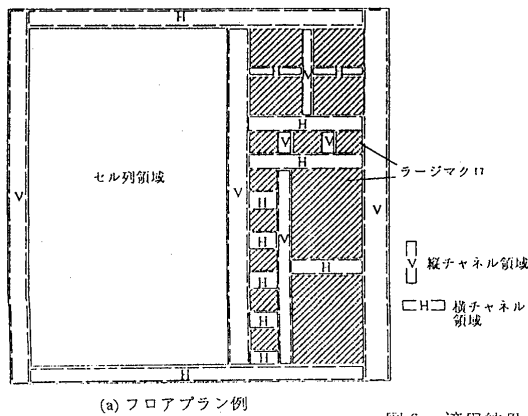


図6 適用結果