

## 大規模ASIC設計・デバックサポートシステム CEEDS-ASIC

4K-4

佐野直樹      久保典夫  
横河電機(株)      デバイス研究所

### 1. はじめに

当社ではASICの開発効率の向上を目的に、いわゆるHDL(ハードウェア記述言語)設計手法を採用し実チップ開発に適用する事により現在までに成果を上げてきた。しかし、このHDL設計手法だけでは大規模化かつ高機能化するASIC開発、例えばシステム・オン・チップに必ずしも対応しきれなくなって来ている。

現在我々はHDL設計手法を補完し大規模ASICの設計・デバックを効率良くサポートするためのシステムCEEDS-ASIC(Concurrent Engineering Environment Development System for ASIC)の開発を進めている。今回、本システムを通信コントローラチップ開発へ適用しその有用性を確認した。

本稿では、本システムの開発の狙い、位置付け、構成、特徴、実チップ開発適用事例等について述べる。

### 2. CEEDS-ASICの開発の狙い

本システムの開発の狙いは、次の通りである。

- |   |                                     |
|---|-------------------------------------|
| ①設計資産の蓄積・再利用の促進                           | → 設計効率・品質の向上                        |
| ②ハードデバックのソフト化                             | → デバック効率の向上                         |
| ③コンカレントな設計・デバック環境の提供                      | → 設計・デバック効率の向上                      |
| ④"仮想現実"(Virtual Reality)世界でのシミュレーション環境の提供 | → 仮想ボード/仮想システム上でのシミュレーション、機能検証精度の向上 |

以上の開発の狙いより、"短期間で高品質の大規模ASICを開発可能にする"ことが本システムの目的である。

### 3. CEEDS-ASICの位置付け、構成

本システムは、HDL設計手法を補完し大規模ASICの設計・デバックを効率良くサポートするためのもので、DA関連ソフト、ライブラリ・モデル、エンジニアリングよりなる。図1に本システムの位置付け、構成を示す。

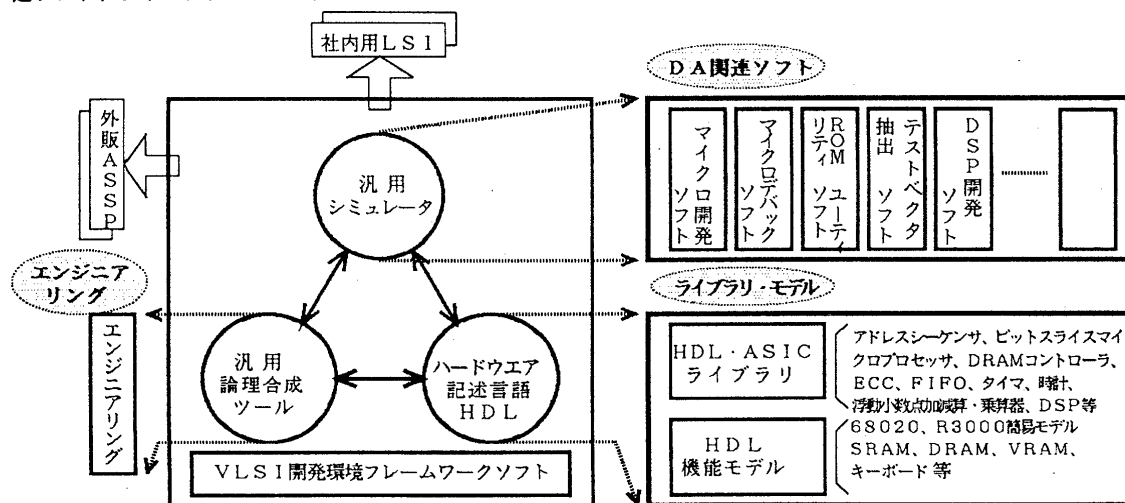


図1 CEEDS-ASICの位置付け、構成

### 4. CEEDS-ASICの特徴

本システムの現時点での特徴を以下に示す。

- |   |                         |
|---|-------------------------|
| ①HDL・ASICライブラリ(論理合成可能ライブラリ:HDLソース記述+コンパイル制約条件+テストベクタ)の提供    | → 設計資産の活用・再利用可能         |
| ②マイクロプログラムのシミュレーション手法(準シモンボリックデバック、テストストップ、テストインタラプト機能等)の提供 | → ハードデバックのソフト化実現        |
| ③マイクロ開発ソフト及びマイクロデバックソフトの提供                                  | → コンカレントな設計・デバック環境の構築   |
| ④HDL機能モデル(機能/タイミングモデル)の提供                                   | → 仮想現実世界でのシミュレーション環境の構築 |

CEEDS-ASIC: A Logic Design and Debugging CAD System for ASICs

Naoki Sano, Norio Kubo

Devices Laboratory, Yokogawa Electric Corporation

5. 実チップ開発適用事例

本システムを実チップ（通信コントローラチップ）開発に適用し、大幅な開発期間の短縮を計ることが出来た。以下、この適用事例について紹介する。

(1) 機能  
通信コントローラ

(2) 諸元  
動作周波数 : 40MHz / 10MHz (4相)  
プロセス : 0.8μm CMOS SOG型  
使用ゲート数 : 約70000ゲート  
パッケージ : 256 PIN CQFP  
ソース記述 : 約30000行 (Verilog HDL)  
故障検出率 : 約90% (テストベクタ数 約 7万パターン)

(3) 開発期間 ('91 8月 ~)

機能仕様/ 方式検討 1.2W	HDL設計 8W	テストベクタ記述& シミュレーション 6W	ES製作 4W	実機テスト 8W
-----------------------	-------------	-----------------------------	------------	-------------

合計38 weeks

図2 チップ諸元

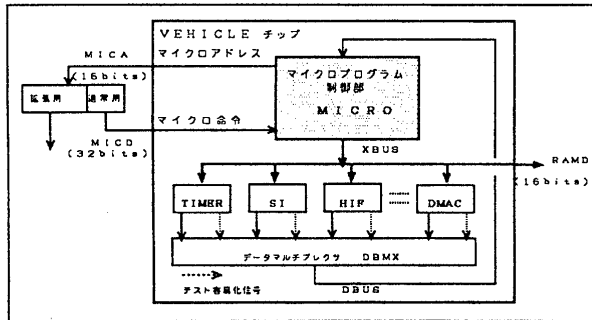


図4 コンカレント設計・デバック環境

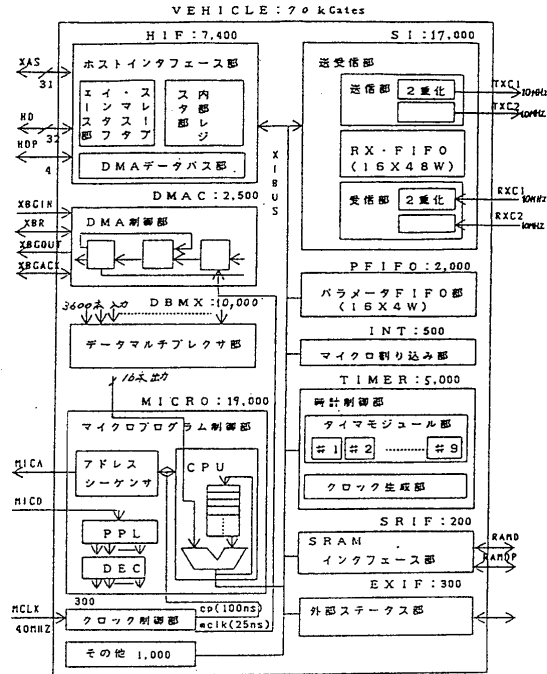


図3 チップブロック図

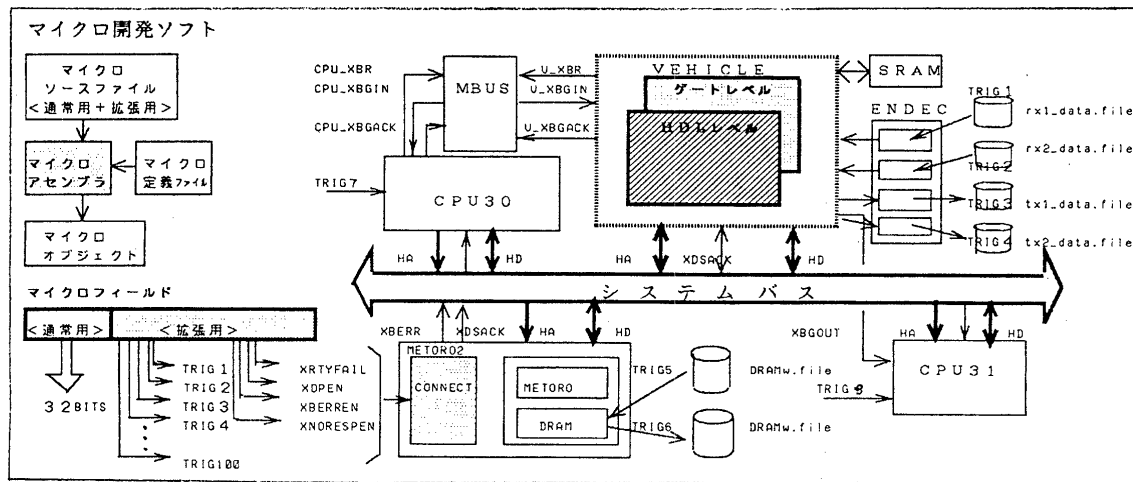


図5 総合シミュレーション環境

6. まとめ

大規模ASIC設計・デバックサポートシステムCEEDS-ASICについて紹介した。今後の展開としては、①本システムによる実チップ開発の一層の加速、②本システムの機能拡張・充実、③本システムの製品化等が考えられる。

<参考文献>

1) 佐野、久保: "HDLによるASIC開発手法"、情報処理学会第43回全国大会、4R-5、(1991-10)