

6E-7

分割論理シミュレーションの手法

瀬谷 茂 溝上 良人 三善 正之 富田 広志 土屋 洋次
 (株)日立製作所 日立コンピュータエンジニアリング(株)

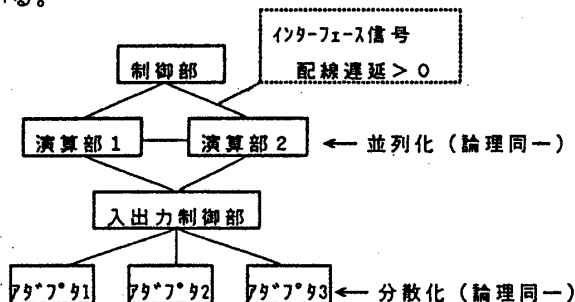
1. はじめに

近年、半導体技術の大幅な進歩により、論理装置の大規模化が急激に進んでいる。これらの論理装置を短時間で開発するために、論理シミュレーションを用いた論理検証は欠くことができない技術であり、より早く装置環境での動作確認が重要である。

一方、従来の論理シミュレーション技術では、シミュレーション処理を行う処理装置の主記憶容量により取扱い論理規模が限定され、論理回路全体を対象としたシミュレーションを実施できない。そこで、大容量の記憶域を持つ拡張記憶装置(ES: Extended Storage)を用いた、大規模論理装置の高速な論理シミュレーション手法(ゼロディレイ・クロック同期方式)について述べる。

2. 論理回路の特徴

大規模論理装置では、処理性能向上を目的として、論理回路を分割してボード化し、論理が同一であるボードを並列化・分散化している(図2)。これらの並列化・分散化されたボード間の相互接続信号線は極めて少ない。また、すべてのボード間の信号線には必ず配線遅延が発生する。このため、クロックなどの特定信号線に同期させることにより、各ボードの順序回路における信号伝播時刻を制御している。



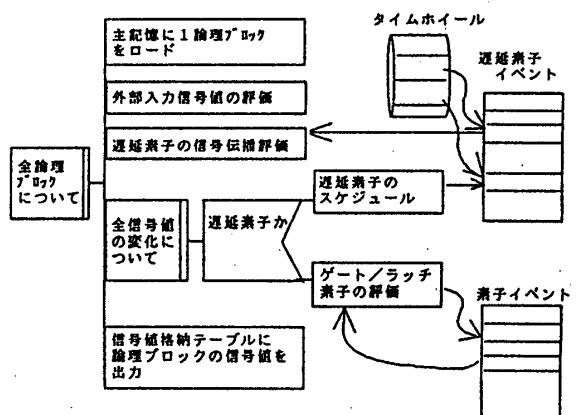
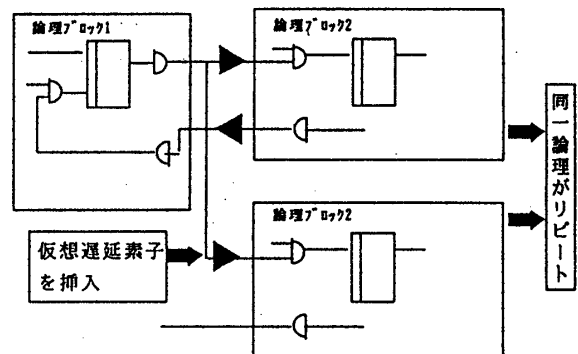
3. 論理シミュレーション手法

3.1 アルゴリズム概要

大規模論理回路の論理シミュレーション手法は、各素子

の遅延時刻をゼロとし、クロックに同期した時刻単位にシミュレーションを進め、各時刻における全論理回路の信号変化(イベント)について各素子のシミュレーションを実行するゼロディレイ・クロック同期シミュレーション方式により、高速化を図っている。

本方式では、まず大規模論理をボード単位等の論理ブロックに分割し、各論理ブロック間のインターフェース信号線に発生する配線遅延に対して仮想遅延素子を自動挿入する(図2)。そしてシミュレーション実行時に全論理ブロックをESに格納し、シミュレーション時刻が進むたびに、図3に示すように必要な論理ブロックを主記憶に取り込む。



A Simulation method for divided Logic Circuits.

Shigeru SEYA¹, Yoshito MIZOUE¹, Masayuki MIYOSHI¹, Hiroshi TOMITA², Youji TSUTIYA²

1:Hitachi, Ltd. 2:Hitachi Computer Engineering Co., Ltd.

この時、各素子の信号値を別管理とし主記憶に常駐することにより、シミュレート完了した論理ブロックをESに再格納せず、シミュレーション対象となった論理ブロックのみを主記憶に再ロードする手法とした。また、自動挿入した遅延素子によりインターフェース信号線の信号伝播を遅延素子で中断し、論理ブロックを入れ替えた後、遅延素子からの信号伝播を継続する。

3.2 論理回路の管理

各論理ブロック毎にその素子数が異なるため、主記憶上に論理回路情報を格納する領域として、最も大きい論理ブロックの容量を割当てた。また、各論理ブロック毎に論理回路内の信号線および遅延素子と接続する各信号線の接続情報が異なる。そこで、各論理ブロック毎にプリフィックス（アドレス）を設定し接続情報を修飾する方式とした。たとえば、並列論理回路をシミュレートするときなど、既に主記憶装置上に同一論理情報が存在する場合がある。このような論理情報が同一である論理ブロックについては再ロードを行わず、プリフィックス及びブロック間接続情報を変更する手法により、処理時間を削減した。

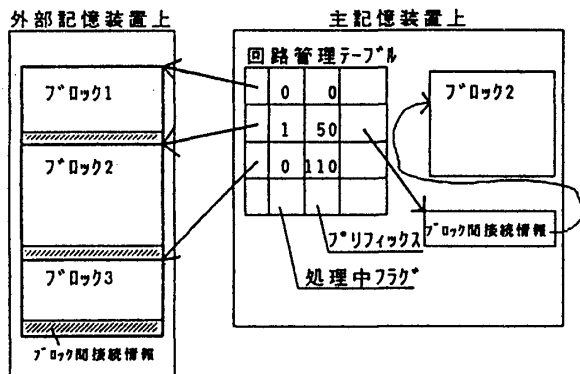


図4 論理回路の管理方法

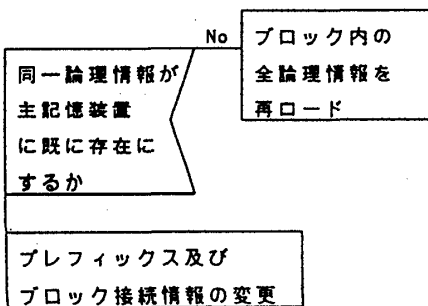


図5 論理回路の再ロード

3.3 入出力処理の高速化

本方式では外部記憶装置(DISK等の入出力装置)を用いることもできるが、ファイルアクセス時間が長く、シミュレーションT.A.T(ターンアラウンドタイム)が大幅に増加する。そこで、アクセス時間の短いESを用い大幅なT.A.T短縮を行った。

図6に外部記憶装置(DISK)使用時とES使用時の処理時間比較を示す。

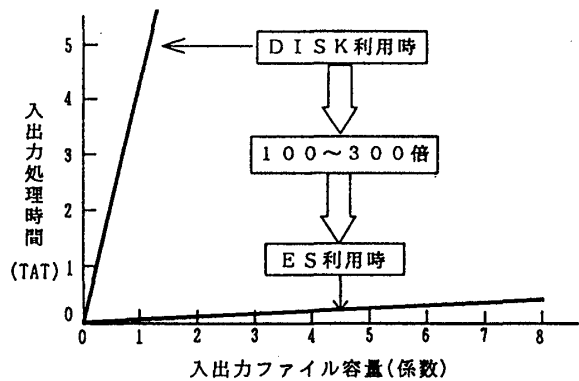


図6 処理時間比較

4. 処理性能の比較

項目	主記憶のみ使用	ES利用
処理時間 (CPU時間)	1	5
最大取扱い論理規模	1	5以上

5. おわりに

論理を分割することにより、取扱い不可能であった大規模な論理装置の装置レベルシミュレーションを可能とした。性能的には、まだ不十分なところもあるが、装置全体の論理検証を実現したことにより、今まで抽出困難であった論理不良の抽出を可能とした。

<参考文献>

- (1) 溝上他"部分更新方式による論理コンパイル時間の短縮", 情報処理学会第40回全国大会 2M-1
- (2) Y.Kazama et al:「Algorithm for Vectorizing Logic Simulation and Evaluation of "VELVET" Performance」25th DA Conf.(1988) pp.231-236