

6E-4

多相方式デジタル回路におけるラッチ数の最小化

林 世紀

田中 譲

北海道大学 大型計算機センター

北海道大学 工学部

1. はじめに

近年のVLSI技術の発展に伴い、実現可能な回路規模が飛躍的に向上してきた。そのため、レイアウトレベルより高いレベルでの設計自動化が急務となっている。一方、高速なデジタル回路設計では、多相方式がよく用いられる。本稿では、与えられた単相の回路を多相方式に自動変換し、所要面積の削減を図る設計手法について述べる。ここでは、回路の動作速度を与えたときに、ラッチ数を最小化する問題を取り上げ、それを解くアルゴリズムを示す。従来、単相回路に対するラッチ数の最小化手法⁽²⁾は知られていなかった。その手法は多相回路には適用できなかった。ここでは、線形計画法および発見的手法を用いてこの問題を解くことにする。

2. 多相方式のデジタル回路

多相(N 相)方式は次のような特徴を持つ。
 ① N 個の相信号により処理間の同期を図る。
 ② 外部回路との入出力は相信号 ϕ_1 に同期して行う。
 ①を実現するために、図1のような等間隔で、重なりを持たない相信号の使用を仮定する。相信号は共通の周期、サイクル周期で繰り返される。②を実現するために、外部回路とのデータの受渡しは相信号 ϕ_1 により制御されるラッチを通して行う。
 多相方式の回路は図2のような回路グラフにより表される。各頂点は入出力ポートか機能素子であり、辺はそれらの接続関係を表す。ここで機能素子とは、それ以上分解不可可能な組合せ回路のことである。ここで示す設計の後、ビルディング・ブロック方式でレイアウトを行えば、各機能素子がセルに対応する時間となる。各機能素子には固有の遅れ時間が定まっている。
 各機能素子が行う処理間の同期を取るために、ラッチを用いる。各ラッチはいずれか1つの相信号により制御される。また、各辺 e には幅とよばれる整数値 $b(e)$ が定まっている。これは、対応する信号線のビット幅を表す。辺

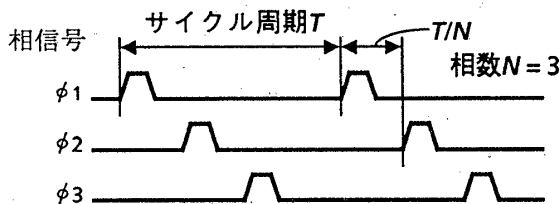


図1 多相(3相)方式で用いる相信号

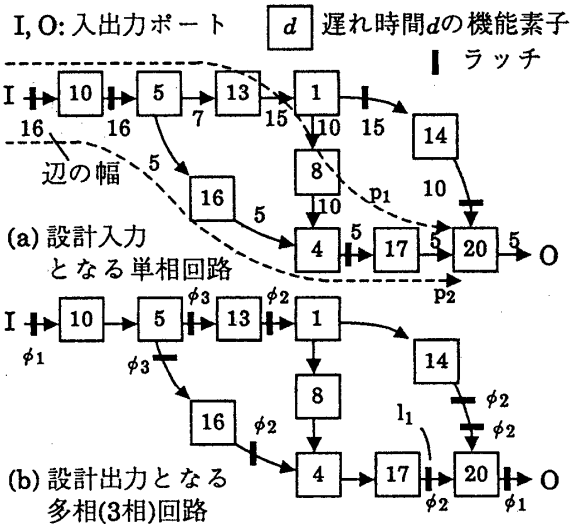


図2 設計例

にラッチを挿入するには $b(e)$ 個の単位ラッチが必要である。

3. 設計手法

設計者は設計入力として、相数 N とサイクル周期 T 、単相(1相)方式の回路グラフ G_1 を与える。ここで述べる設計手法では、 G_1 をサイクル周期 T で相数 N の多相方式の回路 G_2 に変換し、ラッチ数の最小化を図る。
 多相回路への変換の際、ラッチの配置のみを変更する。例えば、図2(b)が図2(a)からの変換例である。変換の際、変換前後で回路の動作が変化してはいけない。すなわち、 G_1 と G_2 の入力ポートに同じ信号値を与えたならば、出力ポートからは同じ出力値が得られなければならない。そのためここでは、回路中の各信号値が次の点を除き、変換前後で等しくなるような変換を考える。ただし、信号値の時間的なずれは許すことにする。以下のための条件を導き出す。
 多相回路 G_2 上のラッチ l に着目し、入力ポートから l への任意の経路 p を考える。この場合、データが p を伝わるには p 上のラッチをすべて通過する必要がある。単相の場合は、このためには p 上のラッチ数から1を引いた、数分のサイクルを要する。 G_1 におけるこの値を $w(p)$ により表す。また、多相の場合は各ラッチ間の位相差を足し合わせた分のステップ数を要する。 G_2 におけるこの値を $\phi(p)$ により表すと、 $\phi(p)/N$ サイクルが必要である。このとき、変換前後で次の条件を満たす必要がある

Latch Minimization for a Multiphase Digital Circuit
 Toshinori HAYASHI
 Computing Center, Hokkaido Univ.

Yuzuru TANAKA
 Faculty of Engineering, Hokkaido Univ.

ことが分かっている。ここでは、証明は省略する。

(実現条件) ①入力ポートからラッチ l への経路 p に対し、 $\phi(p)/N$ と $w(p)$ の差 $\phi(p)/N-w(p)$ は p によらず一定である。②入力ポートから出力ポートへの経路 p に関しては、 $\phi(p)/N$ と $w(p)$ は等しい。

ラッチ l に対する上記の一定値を l のポテンシャルと呼ぶ。実現条件を満たせば、各信号値は時間的なずれを除いて等しくなる。例えば、入力ポート I からのデータがラッチ l_1 に到達するには、経路 p_1 、 p_2 双方とも G_1 で2サイクル、 G_2 で7/3サイクルを要する。そのため、 l_1 のポテンシャルは1/3である。以下、回路グラフ G_1 から次のような回路グラフ G_2 を求める問題を、設計問題と呼ぶ。 G_2 は実現条件を満たし、かつ、ラッチ数が最小になる、相数 N 、サイクル周期 T の回路グラフである。

4. 設計問題の基本性質

ここでは、各辺上のラッチの有無を辺の色により表す。青はラッチが挿入されていることを、赤はされていないことを表す。また、青い辺上の先頭(入力側)のラッチのポテンシャルを $x(e)$ 、最後尾(出力側)のそれを $y(e)$ により表す。このとき、設計問題は次の問題と等価である。

[設計問題と等価な問題]

次の制約下で $\sum_{e \text{は青い辺}} b(e) \cdot \Gamma \phi(e) / NT$ を最小化せよ。

- ① 入出力ポートに接する辺の色は青い。
- ② 青い辺 e に対し、 $y(e) \geq x(e)$ である。
- ③ 青い辺 e から青い辺 e' への赤い経路 p が存在するとき、 p 上の機能素子の総遅れ時間を $\delta(p)$ により表す。このとき、次の式が成り立つ。

$$\delta(p) \cdot N / T \leq x(e) - y(e') + N \{w(p) + w(e')\} \leq N$$

各辺上のラッチ数を減らすには、各ラッチ間の位相差をなるべく大きくすれば良い。そのため、ラッチ数を上記の Σ で示した値に見積もることができる。また、③の不等式内で中間の項は、 e' 上の最後尾ラッチと e 上の先頭ラッチの位相差をポテンシャルにより表したものである。以下、各辺からその辺の色を求める関数 c を配色と言うことにする。また、青い辺からその辺の先頭・最後尾ラッチのポテンシャルを求める関数 x 、 y の組 (x, y) をラベルと呼ぶ。

5. 設計アルゴリズム

この問題を発見的手法を用いて解く。ここで示すアルゴリズムは、最初に実現可能な配色 c を1つ見つけてから、それを改良してラッチ数を最小にする。以下、各ステップについて説明する。

I サイクル周期 T に対する判定アルゴリズム⁽¹⁾
 サイクル周期 T が与えられたときに、 T を実現する配色を見出すアルゴリズムが知られている。このアルゴリズムはラッチ数の最小化は考慮していない。これにより、与えられた一部の辺の色から残りの辺の色を決定することもできる。ここでは詳細は省略する。

II 配色 c に対するラッチ数の最小化

配色 c が与えられたときに、以下に述べる方法で最小のラッチ数の概数を計算する。なお、IIIではこの最小のラッチ数の概数を評価値として色付けを改善する。

前章の[設計問題と等価な問題]では、 Σ を用いてラッチ数を表したが、ここでは、次のような天井関数を取り除いた値を用いる。

$$\Sigma_{e \text{は青い辺}} b(e) \cdot \phi(e) / N$$

この変更により、設計問題は線形計画法の問題に定式化されたので、容易に解くことができる。

III ラッチ数を最小化する配色の決め方

I で得られた配色から初めて、順次各辺の色を変える必要があるかどうかを調べる。その際、IIで求まる最小ラッチ数の概数を評価値とし、それが小さくなるようにする。以下に、ここで用いるheuristicsについて説明する。幅の広い青い辺を赤に変えることにより節約できるラッチ数は、狭い辺よりも多いことが期待できる。また、ある青い辺を赤に変えることにより、IIにより求まる最小のラッチ数の概数が減少するならば、その辺は赤にした方が良く考えられる。最後に、これらのheuristicsに基づく発見的なアルゴリズムを示す。

[発見的アルゴリズム]

- (1) 幅が最大の辺を e とする。
- (2) e を赤に変えて、部分的に色を定め、Iのアルゴリズムを適用する。
- (3) 実現不可能と判定されたならば、 e を濃青色に変える。なお、濃い色が付けられた辺の色はこの後変更しない。
- (4) 得られた配色に対しIIを適用して、最小ラッチ数の概数を計算する。
- (5) その概数が減ったならば e を濃赤色に、さもなければ濃青色にする。
- (6) 青い辺の中から幅が最大の辺 e を選び、(2)に戻る。以上を青い辺がなくなるまで繰り返す。

5. おわりに

本稿では、多相方式の回路設計におけるラッチ数の最小化問題を取り上げ、それに対する解法を与えた。この問題は、単相の回路を多相方式の回路に自動変換する際に、ラッチ数の最小化を図るものである。これにより、高速性を特徴とする多相方式の回路を、より小さな所要面積で設計できるようになった。

今後の課題としては、以下の点が挙げられる。チップの所要面積を小さくするにはラッチと共に機能素子の数も減らす必要がある。また、素子間の結線に要する面積も最小化しなければならない。そのためのアルゴリズム開発が必要である。

参考文献

- (1) 林、田中:多相クロックを用いた高速デジタル回路の機能設計アルゴリズム、情処第42回全大2J-1
- (2) C. E. Leiserson, et al., "Optimizing Synchronous Circuitry by Retiming", Proc. Third Caltech Conf. VLSI, Computer Science Press, 1983, pp. 87-116.