

5 E-2 セル上配線領域抽出機能付きアレイコンパイラ

林越 美智子¹, 中尾 博臣¹, 山田 晃子²¹三菱電機(株)カスタムLSI 設計技術開発センター²三菱電機セミコンダクタソフトウェア(株)

1. はじめに

モジュールジェネレータの多くは、“タイル方式”や“レイアウト記述方式”の採用により高密度なROM, RAM等のセルを生成することに成功している。しかし、モジュールジェネレータが生成するセル(生成セルと呼ぶ)自体は高密度であっても、それらがさらに上位の規模の大きいセルやチップ(これらを上位セルと呼ぶ)の部品として用いられたとき、必ずしも上位セルが高密度にならない場合がある。例えば、ROM, RAM等のセルは面積が大きく端子数が多いために、上位セルのレイアウトの際に生成セルの周囲は配線が混雑し、配線領域と配線長の増加を招き、上位セルのレイアウト密度を低下させている。ここで報告するアレイコンパイラは規則構造モジュールを対象として、タイル方式(基本となるセル“リーフセル”を隣接配置してレイアウトを生成する方式)によりセルのレイアウトを生成する。これに加えてアレイコンパイラは上位セルの集積度の向上を目的として次の機能を持つ。

- ①生成セル上で配線の通過できる領域(セル上配線領域)を抽出する。
- ②生成セルのレイアウトを物理的なレイアウト構造が確定したセル(ハードマクロと呼ぶ)として生成するだけでなく、生成セルを構成する下位階層のセル(ブロックと呼ぶ)の相対的な位置関係とブロックの端子間の接続情報で表して生成する。これをハード/ソフト混合マクロと呼ぶ。ハード/ソフト混合マクロは、上位セルのレイアウトの際にそのレイアウト構造を変えることができる。ここでは後の配線処理過程でセル上配線領域が不足する場合に、セル上配線領域を拡張する(セル上配線領域をストレッチするという)ために使用する。

本稿では、セル上配線領域抽出機能とハード/ソフト混合マクロ生成機能を持つアレイコンパイラについて、実現方法と適用結果について述べる。

2. セル上配線領域の利用

上位セルの集積度を高める上で、以下の2点が重要である。

- ①生成セル上の配線領域を利用する。
- ②後の配線処理過程でセル上配線領域が不足する場合には、セル上配線領域をストレッチする。

以下、これらの機能の有用性を述べる。図1.1は生成セルの両側にセルを配置し、セル同士を配線する図である。配線パターンが生成セル上を通過することは、配線長を短くし、しかも上位セルの集積度を上げる効果がある。また、生成セル上の通過配線が混雑しそれ以上配線パターンが通過できない場合は、セル上配線領域をストレッチして生成セル上を配線パターンが通過する方が、生成セルの周囲を迂回するよりも配線長の増加は少ない(図1.2)。他のセルと接続するための生成セルの端子(以後外部端子と呼ぶ)が生成セルの内部に存在するセルにおいては、セル上配線領域を利用することにより生成セルの面積を小さくできる場合がある。例えば、生成セルの外部端子を接続するための配線パターンが左右からそれぞれ1本ずつ来る場

合は、外部端子をセル枠上に引き出す(図1.4)よりは、セル上配線領域を利用してセル上を配線パターンを通過させる方が面積の増加は少ない(図1.3)。

3. アレイコンパイラ

3.1 システム構成

図2は、アレイコンパイラの入出力を表した概略図である。アレイコンパイラは、手続型レイアウト記述言語により生成セルのレイアウト構造を記述したレイアウト記述ファイル、リーフセルのレイアウト、配線要素(配線を記述する、または自動配線の際に用いる配線パターンのレイヤ、幅)が書かれたファイル、ビット数やワード数等のパラメータが書かれたパラメータファイルを入力として、セルのレイアウトデータと、セル上配線領域のストレッチ(以後単にストレッチと呼ぶ)の際に必要なハード/ソフト混合マクロ構造データ(後で詳細な説明を行う)を出力する。

3.2 リーフセルのレイアウトモデル

アレイコンパイラでは、セル上配線領域の抽出とストレッチを実現するためにリーフセルのレイアウトを次に述べるセル枠、配線禁止領域(オプスタクル)、端子で表す。

- ①セル枠: リーフセルを隣接配置するときに必要な矩形のセルの枠。
- ②オプスタクル: リーフセルのレイアウトデータから抽出した、リーフセル上で配線パターンが通過できない領域。
- ③端子: レイアウト記述においてセル間の接続関係を定義する際に用いる。端子はセルの内外のどこにあってもよい。

3.3 レイアウト構造

アレイコンパイラでは次の2種類の形でセルのレイアウトデータを生成する。

①ハードマクロ

図3に示すように次の3通りの方法によってレイアウトを生成した、物理的なレイアウト構造が確定しているセルである。

- ・セルの隣接配置
- ・配線セル(端子間の接続要求と配線経路の指定にしたがって配線パターンを生成したセル)の隣接配置^[2]
- ・生成セルを構成するブロック間の自動配線

②ハード/ソフト混合マクロ

生成セルを構成するブロックの相対位置とそれらのブロックの端子間の接続要求によって表されたセルである。各ブロックの生成セルにおける配置座標は確定していない。ブロックの相対位置は、例えば“ブロックAはブロックBの上に存在する”と表す。

3.4 セル上配線領域の抽出

①セル上配線領域の形状

セル上配線領域の形状は次に述べる理由により矩形と多角形の2種類としている。セル上配線領域は、通過配線に使用するレイヤと同じレイヤのマスクパターンを除く全ての領域であることが望ましい。しかし、一般にマスクパターンは多角形であることから、そのような配線領域は多角形となり、配線ツールの実行時間の増加を招く傾向がある。また、配線パターンがセル上を貫通する際の配線領域を考えた場合、多角形の配線領域と矩形の領域では、その間を通過する配線パターンの本数に差がない場合が多く、一定方向に生成セル上を貫通する矩形の配

線領域も十分実用性があるので、矩形をセル上配線領域として指定できるようにした。

②抽出手法

アレイコンパイラでは、セル上配線領域の抽出をオブスタクルを生成することと考える。オブスタクルの生成手法は、アレイコンパイラがタイル方式により階層的に生成セルのレイアウトを生成することを利用する。すなわち、生成セルの全階層のマスクパターンを対象とするのではなく、3.2節で述べたリーフセルのオブスタクルをセルの配置座標にしたがって並べ、生成セルの階層にしたがってモジュールジェネレータの開発者が指定する形状(矩形あるいは多角形)に合成する^[1]。これにより少ないメモリ使用量でかつ高速にオブスタクルを生成することができる。

それぞれの形状のオブスタクルは次のようにして合成する。矩形のオブスタクルは、並べたセルのオブスタクルの図形を含み、一定方向(XあるいはY方向)に貫通する最小の矩形を生成セルのオブスタクルとして合成する。多角形のオブスタクルは、並べたセルのオブスタクルの図形のORを取ることにより合成する(図4)。配線セル及び自動配線によって生成した配線パターンについては、配線パターンをオブスタクルとする。

3.5 セル上配線領域のストレッチに必要なデータ生成

セル上配線領域のストレッチは、生成セルを構成するブロック間をそれらの相対位置を維持したまま離すことにより、ブロック間に配線領域を設けることである(図5)。以下ストレッチの実現方法を図5を用いて述べる。

レイアウト記述においてブロックAをブロックBの上側に配置するような相対位置は、配置済みのブロックBに対してブロックAを“離して上側に置く”ことと、A、Bの端子間の接続要求によって表される。アレイコンパイラはこのように指定されたセルに対しては固定したレイアウトを生成せず、“離して置いた”ブロックA、Bの相対位置とそれらのブロックの端子間の接続情報を出力する。これがハード/ソフト混合マクロである。後の配線処理過程で、セル上配線領域が必要な場合に“離して置く”と指定されたブロックA、Bを相対位置を維持したまま離し、次にブロック同士が離れたことによりブロック間が断線しないように、ブロックの端子間の接続情報にしたがって配線される。

4. 適用例~データバスコンパイラ

図6にデータバスコンパイラが生成するセルのレイアウト構造を示す。データバスはビットスライス構造をしたALUやレジスタ等の機能ブロックから構成されており、機能ブロック間の配線はビット毎に機能ブロック上の配線領域を利用して行う。

データバスコンパイラではレイアウトの生成を各機能ブロックの生成、機能ブロック間の配線の2段階で行う。アレイコンパイラは機能ブロックの生成に用いられている。これは、機能ブロックはパラメータによってその構成が変わるためである。まずアレイコンパイラは機能ブロック上の配線領域を抽出すると共に、その領域をストレッチ可能にするために機能ブロックをハード/ソフト混合マクロとして生成する。次に配線ツールが機能ブロック間の配線をアレイコンパイラが抽出したセル上配線領域を利用して行う。セル上配線領域が不足する場合には、前節で述べた方法により配線ツールが機能ブロック上の配線領域をストレッチして配線を行う。

図7に、生成した8ビットの2901相当のデータバスのレイアウトデータを示す。各機能ブロック間の配線は機能ブロック上の配線領域内で行い、高密度なデータバス(0.8μmプロセス使用: 8.5kトランジスタ/mm²)が実現できた。

5. おわりに

上位セルの高集積化を実現するためにモジュールジェネレー

タの機能として重要な、セル上配線領域の抽出とストレッチについて述べ、この考え方をういて開発したデータバスコンパイラによりその有効性を示した。

参考文献

- [1] 塚本他「タイル方式により生成したモジュールのセル上配線通過可能領域抽出手法」情報処理学会第41回全国大会(1990)
- [2] 中尾他「規則構造モジュール用ジェネレータ開発システム」電子情報通信学会春季全国大会(1989)

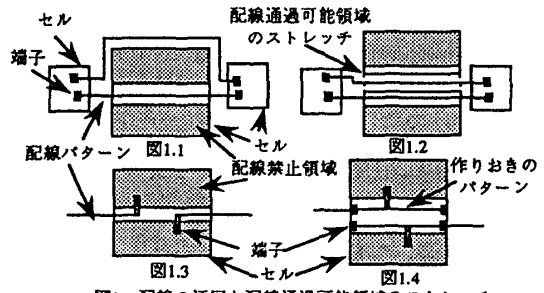


図1 配線の迂回と配線通過可能領域のストレッチ

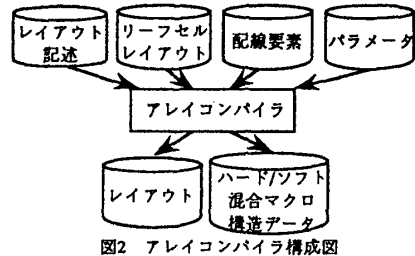


図2 アレイコンパイラ構成図

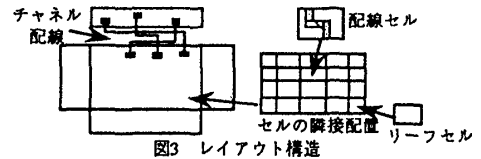


図3 レイアウト構造

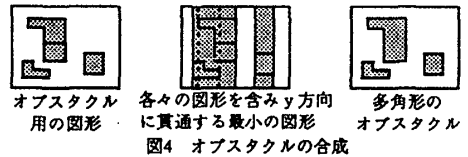


図4 オブスタクルの合成

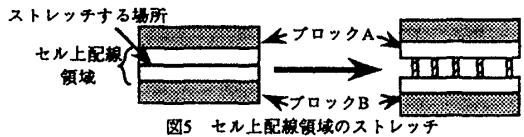


図5 セル上配線領域のストレッチ

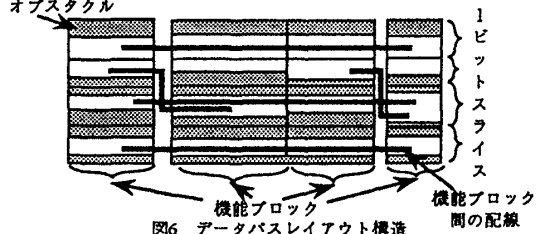


図6 データバスレイアウト構造

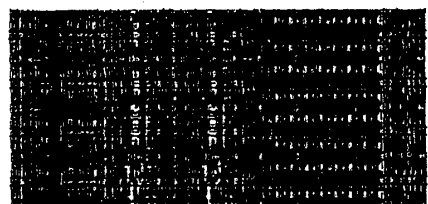


図7 8ビットのデータバスのレイアウトデータ