

トップダウン設計手法と論理合成

4E-1

野地 保、清水 圭典、小山 雅行、国岡 美千子
三菱電機(株) CL研(情)

1. はじめに

システムの大規模化に伴い、ハードウェア/ASIC設計者の取り扱うゲート規模は、年々増加の傾向にあり、そのターゲットがミリオン・ゲートに近付きつつある。一方、大規模回路を短期間に、しかも設計ミスのないVLSIチップを開発したい要望がある。これを解決する為の方策として、設計の中心を論理設計レベルから機能設計レベル/方式設計/システム設計レベルへと、より上流主体に移行し更に上流からレイアウトの下流まで後戻りのない、しかも効率の良い設計手法として「トップダウン設計手法」が注目されている。我々はミリオン・ゲートに対応出来るトップダウン設計手法の開発を目指しており、この手法開発の構想とその要の一つである論理合成との係わりについて述べる。

2. 開発の目的

ASIC設計を行う場合、一般的に方式設計から始め機能設計、論理設計、レイアウトの順序で進められるが、レイアウト実行後論理ミス、タイミングミスが発生した場合、再び論理設計やレイアウトをやり直す必要が出てくる。特にミリオン・ゲートASIC設計では、ゲート規模が大きく、それに比例して論理・タイミングミスの発生する確率も高くなると予想される。やり直し回数が多い程、開発工程の遅延となる。レイアウト後の後戻りをなくし、設計期間の短縮と設計人工削減を狙った設計手法がトップダウン設計手法である。論理設計における自動化とミスをなくす目的を達成する為には、論理図ベースの設計からハードウェア記述言語(HDL)ベースの設計へ、HDLからの論理設計の自動化へと設計方式を変えていかなくてはならない。この為の手段として、論理合成が有効である。図1にトップダウン設計手法と論理合成との関係を示す。しかしながら、現状の論理合成は、必ずしもトップダウン設計手法を意識したものではなく、この手法を確立する為には、要の一つである論理合成と機能設計、レイアウトとの接続方法や役割分担を明確にして行く必要がある。

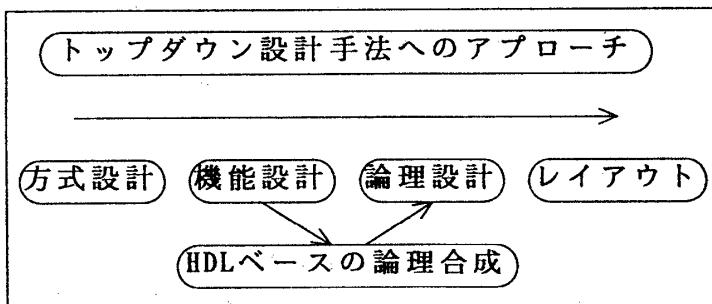


図1 トップダウン設計手法

Top-Down Design and Logic Synthesis

Tamotsu Noji, Keisuke Shimizu, Masayuki Koyama, Michiko Kunioka
Mitsubishi Electric Corp.

3. 機能／特長

現在多くのASIC設計はボトムアップ手法によりなされている。この手法では、レイアウト後に後戻りが、出る事を考慮して設計している。

一方我々が提案するトップダウン設計手法は、レイアウト後の後戻りをなくす事を目標としている。図2にその特長を示す。これを実現する為には、論理合成において幾つかの課題がある。

- ①HDL 記述の機能モデルから自動的に論理合成可能な事。論理合成を意識した記述が必要な場合その内容を明確にする。
- ②レイアウト実行後、後戻りをなくす為には、論理合成が出すタイミング情報に従いレイアウト出来る仕組みを備えておく必要がある。
- ③論理合成にかける前に機能記述レベルで仕様ミス、タイミングミスをなくしておく必要がある。

4. アプローチの仕方

第一ステップとして、上流（方式／機能設計）部中心に進める。具体的には、HDL 機能設計から論理合成へ落とす場合の問題点を幾つかの実モデルにより、実施し、制約条件等を明らかにしていく。この結果、回路規模や機能により、どのような違いがあるのかが明確になる。

次のステップとしては、下流部（レイアウト）インタフェースにアプローチしていく。同じく実モデルを使用してタイミングを考慮したレイアウト実現の問題点を明らかにして行く。

更に、フィードバックなく上流部から下流部に設計フローが流れる為には、設計の上流部で予めタイミング情報等が予測できる仕組み（例えば予測機能等）が必要であり、そのアプローチを実施する。

5. 終りに—今後の展望—

ミリオンゲートASIC設計における、トップダウン設計手法の開発に関しては、多くの課題がある。今後は、論理合成回りの課題を解決し、レイアウト、予測機能等のステップに進む予定である。

参考文献

- [1] E. Sternheim, R. Singh, Y. Trivedi: Digital Design with Verilog HDL, Automata Publishing Company, 1990

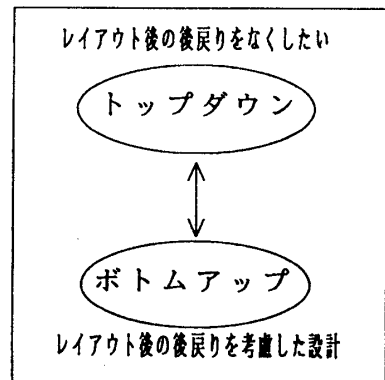


図2 トップダウン設計手法の特長

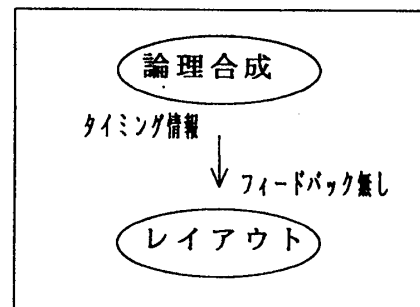


図3 論理合成からレイアウトへのトップダウン