

## 5 Q-1 アナログ LSI 設計のためのペア性抽出エキスパートシステムの開発 (2) \*

濱田 進 山口 隆†

株式会社東芝 システム・ソフトウェア技術研究所‡

## 1 はじめに

アナログ LSI のレイアウト設計では、多くの制約条件を満たす必要がある。レイアウトの制約条件を自動的に抽出生成することは重要であるが、ここで対象としているペア性抽出システムは設計者の専門的知識やノウハウが用いられているためエキスパートシステムとして開発を行なっている [1]。これまでのシステムでは、誤抽出が多いことと実行時間がかかることが大きな問題点であった。そこで、設計者が制約条件を抽出する際に常識として利用している認識のための情報を利用することによって誤抽出を減少させ、また抽出知識に基づく回路分割を導入することによって高速化を行なった。

## 2 現状の問題点

これまでのシステムの問題点としては、次のようなものがあつた。

1. 基本的にネットリストの形式で出力された素子とその接続関係を示す回路図データのみから抽出を行なっており、情報量の不足等のために誤抽出が多い。
2. ペア性を抽出するためには、回路全体の中から基本的な機能を果たしている基本回路を抽出することが必要であるが、ルールを用いたパターンマッチにより基本回路を抽出しているため、素子数が多くなると組合せが増え爆発的に処理時間が増加する。

## 3 設計者の常識の実装

回路設計者は回路図だけを見て制約条件の抽出を正しく行なうことができる。エキスパートシステムが用いている回路図データ(ネットリスト)には、主として素子の属性等の情報と素子間の接続関係の情報しか含まれていないが、設計者はそれ以外の情報を用いて抽出を行なっている。例えば、回路図の上下には VCC・GND といった電氣的に特殊な接点が配置されていて、電流は基本的に上から下へ流れるといった情報である。

\* Development of layout constraints extraction Expert-System for analogue LSI design

† Susumu Hamada, Takashi Yamaguchi

‡ Systems & Software Engineering lab., TOSHIBA Corp.

## 3.1 回路構造の操作

基本回路の抽出のための知識にはその回路を構成する素子がどのように接続しているかという条件が主として記述されている。そのため、例えば図1の(A)のよ

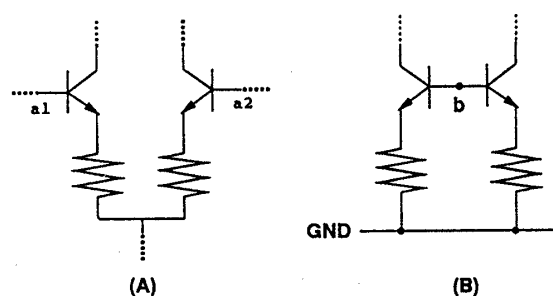


図 1: GND における誤抽出

うな回路として(B)を抽出してしまう。このような回路がGNDにまたがって存在するということは、設計者の常識からすればあり得ないのであるが、当たり前のことであるためか初期の知識獲得においては現れてこなかった。誤抽出を減少させるためには、このような背景知識を利用しなければならない。実装する場合には、

1. 知識の性質の違いを明確にすること
2. 推論の効率を落さないこと
3. 知識の記述やメンテナンスが容易であること

に注意する必要がある。背景知識に基づく制約条件の実装の方法としては、

- A 抽出前に誤抽出をしないようにデータ処理を行なう。
- B 個々の回路の抽出知識に制約条件として記述する。
- C 個々の回路の抽出知識で抽出したものをチェックする。

などが考えられる。Bは、個々の抽出知識全てに制約条件を記述する必要があるため、1と3の点で問題がある。Cは、制約条件をチェックする知識を個々の抽出知識と分けることができるが、棄却される候補が数多く現れる場合には2の点で不利である。

設計者が抽出を行なう場合を考えてみると、ある種類の回路を抽出するのに特定の接続関係を除外して考えるということは、設計者はそれらの接続関係はないものとして回路図を見ているということである。そこで、そのような制約条件に当てはまる接続関係を事前に切断してしまうことで、Aの方法で実現することができる。図2は、VCCとGNDにおける切断を行なった例である。同じような回路の見方で抽出を行なう知識を

整理してまとめてこのような前処理を行なうことにより、制約条件に抵触する接続関係を含む抽出を行なわないようにすることができる。

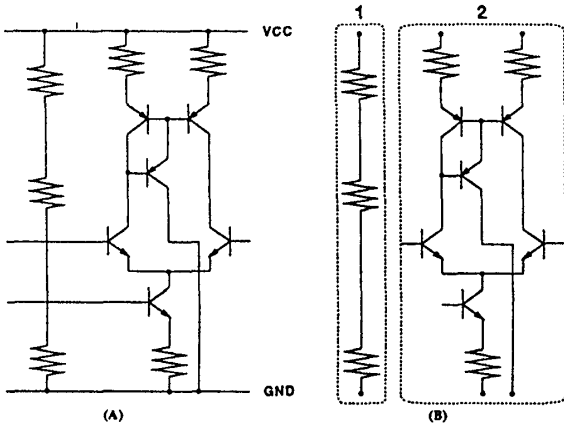


図 2: VCC・GND における切断

3.2 回路表現への方向の導入

図3は増幅回路の入力信号経路の探索によるペア抽出の様子を示しているが、接点(1)と(2)につながっている抵抗をペアにするところで、(A)や(B)のようなペアは正しいが、(C)や(D)のようなペアは誤りである。この場合、素子の種類だけではなく(1)および(2)の接点を基準にした時、電位を遡る方向にあるのか下る方向にあるのかを調べて、同じ方向のものだけをペアにしなければならない。そこで、VCCやGND等からの伝播により電流方向を設定し、この情報を利用することによりこのような誤抽出をなくした。

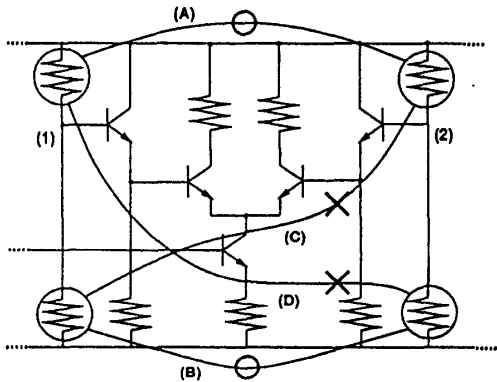


図 3: 信号経路探索における誤抽出

4 回路分割による推論の高速化

現在の回路認識および制約条件抽出のための知識は、本質的に回路の接続関係のみに基づく浅いものであり、全ての場合に必ずうまくいくという確実なものではあり得ない。つまり新しい回路を処理するのに今までの知識が不完全である可能性があり、そのような場合にはその都度知識を修正することによって対応してゆくことにより、完成度を高めてゆかねばならない。このように知識の修正が必然的に起こるために、理解と修正が容易なルールの形式で知識を記述しているが、回路を構成する素子の数が増加すると爆発的に処理時間が増加してしまうことが大きな問題点であった。

3.1では、制約条件に抵触する接続関係を予め切断しておくことにより誤抽出を避ける方法について述べたが、多くの場合にこの切断によって(あるいは更に抽出に不要な別の接続関係をも切断することにより)、回路をいくつかの独立した部分に分割することができる。例えば、図2の(B)では、1と2の2つの部分に分割されていることになる。処理時間は素子の組合せの増加に伴って増加するので、この部分毎に推論を行なえるようにシステムを改良することによって、推論の高速化を実現することができる。このような分割方法をとることによって、回路分割をした場合にも正しい結果が得られることが保証される。

図4にいくつかの回路の基本回路の抽出について、回路分割を行なった場合と行なわなかった場合の処理に要した時間を示す。素子数が大きくなるほど分割の効果の大きいことがわかる。

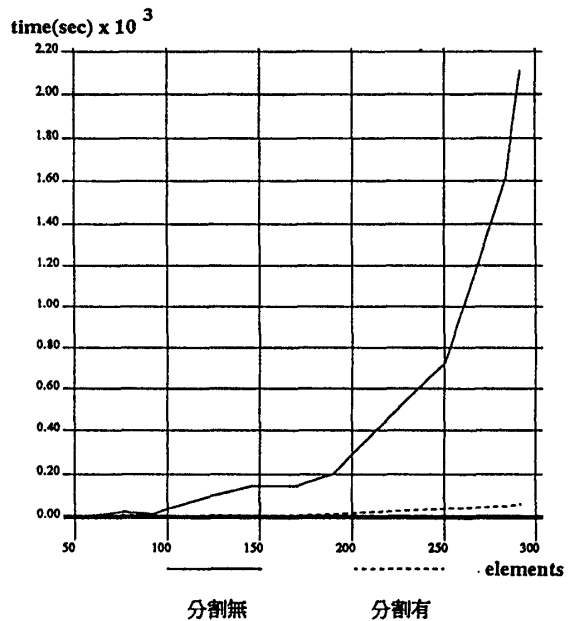


図 4: 推論の所要時間

5 おわりに

本稿ではアナログ LSI 設計のためのペア性抽出エキスパートシステムの問題点とその対策について述べた。以上の対策を実施した本システムは、

- 性質の異なる知識を分けて実装することにより理解やメンテナンスがしやすい。
- 高速化により開発の効率が向上する。

などの有効性を持つと言える。

参考文献

[1] 宇賀神、濱田、山口、菅田: アナログ LSI 設計のためのペア性抽出エキスパートシステムの開発 (1), 第 42 回情報処理学会全国大会講演論文集 (2), pp.243-244, 1991.