

HITAC M-880向けマルチプロセッサ性能評価技術

7 J-4

金子誠司*、田村恭久*、山本章雄**、渡部真也**、木下俊之*

*(株)日立製作所システム開発研究所、**同神奈川工場

1.はじめに

マルチプロセッサにおけるハードウェア特性を把握するため、汎用大型機M-68xHにおけるハードウェアログデータを解析する方式を開発し、キャッシュメモリの評価を行なった。評価はバッチ、データベース、オンラインの各環境で行ない、キャッシュのラインサイズを変化させた場合のキャッシュミス率の推移を解析した。これらの評価結果をM-880へ適用した。

2.ハードウェアログとマルチプロセッサ性能解析

汎用大型機M-68xHには、プロセッサの保守診断機能として、マシンチェック発生時などのある瞬間におけるハードウェア情報を採取するためのハードウェアログ採取機能がある。本発表ではこのハードウェアログを用いた解析について説明する。

ハードウェアログ情報にはソフトウェア不可視の制御用メモリ(μP格納メモリ、キャッシュのタグメモリ)の内容などが含まれるため、その中のタグメモリの内容、すなわちキャッシュのエントリアドレスを解析することにより、キャッシュのラインサイズなどの評価を実施することができる。

経験的には、キャッシュのラインサイズを倍にした場合、当該キャッシュのミス率は $1/\sqrt{2}$ となることが知られている。しかし、これはハードウェアの負荷環境やキャッシュの制御方式によって変化するものである。以下の解析では、エントリアドレスを基に、ラインサイズを拡大したときのキャッシュミス率を、現在キャッシュに登録されているデータを読み込む回数に比例すると見なして近似することができる。一方この近似はラインサイズが大きくなった場合の無駄なデータの読み込み分を含むため、その分を補正し以下の式によって評価した。

$$\frac{LT_x}{LT_y} = \frac{LC_x}{LC_y} \cdot \frac{1}{\sqrt{1 - \frac{Lix}{Ltoty} \cdot \omega}}$$

ここで、

LTx(y)...ラインサイズ x(y) のときのライン転送回数

LCx(y)...ラインサイズ x(y) のときの、現在有効なラインを読み込むのに必要なライン転送回数

Lix.....ラインサイズ x の時、ライン転送によっ

て取り込まれたが、使用されなかったラインサイズ y のライン数

Ltoty.....ラインサイズ y の時の全ライン数

ω.....ライン転送したデータの利用率。ここでは0.5とする。

本研究の評価対象とするのは、日立の汎用大型機 M-68xH と M-880 プロセッサグループであり、ともに図1に示す3階層記憶方式を採用している。IP (Instruction Processor) 固有の1次レベルキャッシュであるBS (Buffer Storage) はストアスルー制御であり、命令データ用とオペランドデータ用に分割されている。2次レベルキャッシュであるWS (Work Storage) は複数のBSから共有され、ストアイン制御である。

3.ハードウェアログ解析結果

(1)BSラインサイズの解析

バッチ、データベース、オンラインの各々の環境における結果を図2に示す。影づけは、複数回の測定におけるデータの分散範囲を示す。

図2に示すように、ラインサイズを変化させた場合のキャッシュミス率の変化は、負荷環境によって相当異なる。一般的に、ミス率はラインサイズの拡大に伴い減少する。これはバッチ環境よりデータベース環境において顕著であり、主にリレーショナルデータベースの参照は、少量のデータを操作するバッチ環境より逐次的に行なわれるためと推定される。

(3)の256B/Line 付近において、はっきりした極点が観察できる。このサイズは、プログラム参照粒度の単

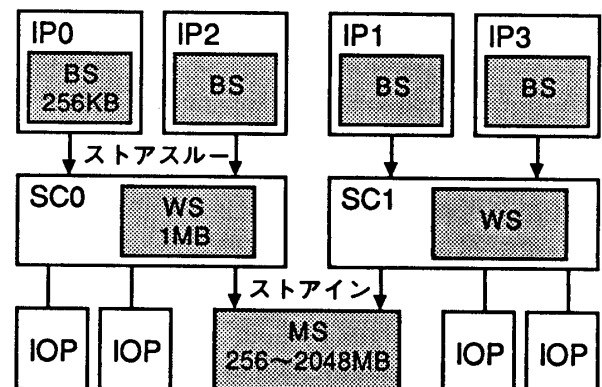


図1 M-684Hの記憶階層

Multiprocessor Performance Evaluation Technique for Main Frame Computer

Seiji KANEKO, Yasuhisa TAMURA, Akio YAMAMOTO, Masaya WATANABE and Toshiyuki KINOSHITA
Hitachi, Ltd.

位であると考え。命令トレースを別途解析した結果、ログデータを採取したシステムは、約256B長のデータを転送し、あるいは算術演算する命令を数多く含んでいる。よって、256Bはデータモジュールサイズの単位であると考え。

WSのラインが256Bであるためのキャッシュの一致制御からの影響も要因の1つと考えられる。ラインの無効化が起こった場合、同一ライン中のBSも無効化され、BSは256B単位で消去されるため、256B以下の半端なラインの数が減少する。トランザクション環境のように高負荷で、WSの無効化が頻繁に行なわれる環境ではこれが影響すると考えられる。

命令キャッシュの結果を図2(4)に示す。ここではトランザクション環境のグラフを代表として挙げた。予想されるように、ラインサイズを拡大した場合のキャッシュミスの減少割合は、オペランドキャッシュより大きく、先の経験測がよりあてはまる。しかし、ラインサイズが2倍の時の、ミスの減少率はたかだか0.7であり、ラインサイズが2倍の時、全ての環境においてラインサイズの倍増により要求メモリスループットは50~80%増加する。

(2) WSラインサイズの解析

WSにおいては、図3に示すように負荷環境によるキャッシュのミス率はラインサイズが倍増するにつれ0.6から0.8となる。WSの場合、BSに見られるような明確なラインサイズの最適点が存在しない。そして、前述のラインサイズとキャッシュミス率の間の経験測は、WSではよくあてはまる。しかし、若干の相違が認め

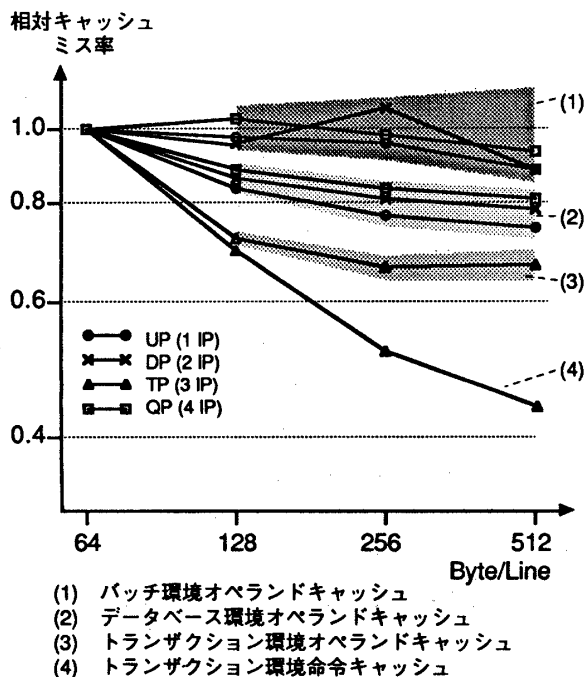


図2 BSの平均相対キャッシュミス率 (64B/line時を1とする)

られる。これらの図を見る限り、データベース環境の結果はとくに逐次的なアクセスの振舞いを示すが、トランザクション環境ではそれほどは逐次的ではない。しかしながらトランザクション環境の場合でさえ、1024B/line以上でも経験測がある程度適用できる。

また転送率についても、BSの場合と似た結論が出る。すなわちラインサイズを倍増させた場合、要求メモリスループットは50~70%増加する。

4.おわりに

M-68xHにおいて、ハードウェアログの解析によるラインサイズの評価を行なった。この結果、BSではトランザクションやデータベース環境において128Bから256B/line付近に最適点があり、WSではラインサイズが倍増するとキャッシュミス率が $1/\sqrt{2}$ となる経験測がほぼあてはまることが判明した。これらの結果をM-880に適用し、実装条件を加味してラインサイズの最適化を図った。

汎用大型計算機マルチプロセッサの性能評価においては、まだ未解明な部分が多い。このため、今後もツールや手法の開発・改善を検討している。

[参考文献]

1. A.J.Smith, Line(Block) Size Choice for CPU Cache Memories, IEEE Trans. on Comp. Vol.36, No.9 (Sept. 1987).
2. 山岡、久保、中村：M-68xにおけるメモリスistem、情報処理学会コンピュータアーキテクチャシンポジウム論文集 1988年5月

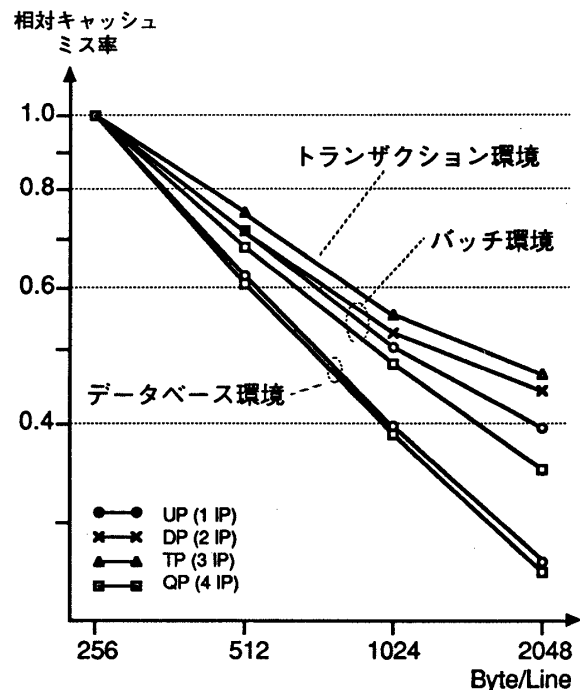


図3 WSの平均相対キャッシュミス率 (256B/line時を1とする)