

HITAC M-880 命令プロセッサにおけるアドレス生成インタロックの
高速化論理方式 - アドレスアダーバイパス方式 -

7J-1

庄内 亨¹ 新谷洋一¹ 栗山和則¹ 釜田栄樹¹ 井上 潔¹ 中村幸二²

¹ 日立製作所 中央研究所

² 日立製作所 神奈川工場

1. はじめに

HITAC M-880は、1990年代の大規模情報処理システムへのニーズに応えるために開発された新世代大型コンピュータである[1]。ここでは、M-880の高速な命令プロセッサを実現するための論理方式技術のうち、アドレス生成インタロックを高速化するアドレスアダーバイパス方式について述べる。

2. パイプライン制御とアドレス生成

インタロック

大型コンピュータの命令プロセッサでは、一般にパイプライン制御を採用している。これは、連続する命令を流れ作業的に複数個同時に処理する技術である。

1つの命令の実行は、命令解釈とアドレス生成(Decodeステージ)、アドレス変換(Address translationステージ)、バッファ記憶からのデータ読み出し(Buffer readステージ)、データ転送(Loadステージ)、命令実行(Executeステージ)の各ステージに分割される。1ステージの時間はサイクル時間と呼ばれる。すべてのステージの処理が終わると1命令の処理が完了する。ある命令のDecodeステージが終了すると後続の命令のDecodeステージを開始する。このように1サイクルごとに命令処理を開始することにより、全体として1サイクル当たり1命令を処理することが出来る。

しかし、分岐命令や命令間でのデータ依存関係があると、パイプライン制御が効率良く働かない。アドレス生成インタロックは、データ依存関係の1つであり、図1のように、先行命令(Load命令)で書き換える汎用レジスタを後続命令(Add命令)がインデクスレジスタ(または、ベースレジスタ)として使用

するために、先行命令の汎用レジスタ書き込みが完了するまで後続命令のアドレス生成が待たされることを言う。ここで、図1の命令形式では左から順にオペコード、オペランドレジスタ、オペランドアドレス指定(変位、インデクスレジスタ、ベースレジスタ)が並んでおり、アドレス生成は、変位とインデクスレジスタ値とベースレジスタ値とを加算することによって行われる。図1のAdd命令の場合、変位が200、インデクスレジスタが汎用レジスタ(GR)13、ベースレジスタが汎用レジスタ11である。

OSなどでは、各種のポインタ(アドレス)をメモリ上に記憶しておき、必要に応じてロードして使用する。従って、先行命令がロード命令であるアドレス生成インタロックが頻発する。

従来技術では、図2のアドレスアダー(AA)バイパス方式無で示したようにAdd命令のDecodeステージが開始できるまでに3サイクルの待ちが生じていた。

3. アドレスアダーバイパス方式

アドレスアダーバイパス方式は、先行命令がLoad命令のときのアドレス生成インタロックを高速化する論理方式である。

図3は構成図である。中間値レジスタとAAバイパス用アダー(図3の一点鎖線の中)が新設論理である。

図4は、この方式のフローチャートである。STEP1で、この方式が適用できるかをチェックする。できるならば、STEP2で、確定しているレジスタ値と変位とをアドレスアダーで加算し、中間値レジスタに格納する。(図1の例では、中間値レジスタには200+GR11の値が格納される。)STEP3でLoad命令のデータ読み出し完了を待ち、

Address adder bypass logic: A logic for minimizing address generation interlock delay in HITAC M-880 instruction processor.

Tooru Shonai, Yooichi Shintani, Kazunori Kuriyama, Eiki Kamada, Kiyoshi Inoue
Central Research Lab., Hitachi, Ltd.,
Kooji Nakamura
Kanagawa Works, Hitachi, Ltd.

STEP 4では、AAバイパス用アダーを用いて読み出しデータを中間値に加えてアドレスレジスタに格納する。(図1の例では、アドレスレジスタには200+GR13の値+GR11の値が格納される。)

本方式を用いたときの効果は、図2のAAバイパス方式有で示したように、待ちが1サイクル短くなることである。従来は、図3の構成図の破線のデータ線を使ってLoad命令の読み出しデータを命令制御ユニットのアドレスアダーに送って、その後アドレスをバッファ記憶ユニットに送り返していたが、本方式では、読み出しデータからアドレスを求めるまでをバッファ記憶ユニット内で行えるので、ユニット間のデータ転送が無くなり、待ちが短くなるのである。

4. 評価

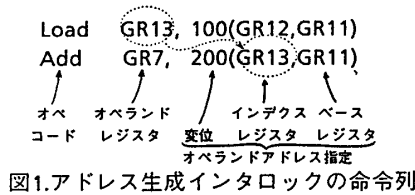


図1.アドレス生成インタロックの命令列

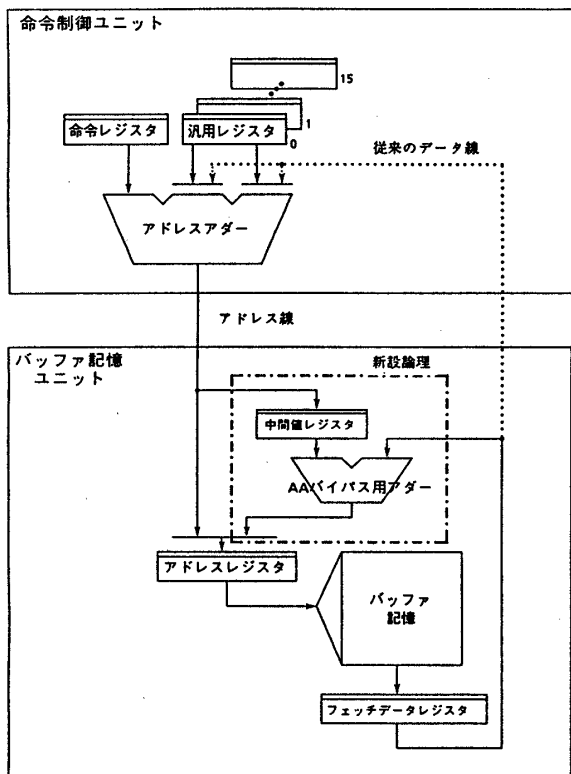


図3.アドレスアダーバイパス方式の構成図

アドレスアダーバイパス方式を実現するために要した論理ゲートは、命令プロセッサ全体の約0.2%である。

この方式は、オンラインプログラムなどで効果があり、性能向上度は数%であることが机上評価でわかっている。

5. まとめ

本論文では、大型計算機の命令プロセッサの高速化技術の1つとして、アドレス生成インタロックを高速化するアドレスアダーバイパス方式の構成、動作、評価について述べた。今後は、この方式の性能評価を実計算機を用いて行うつもりである。

参考文献

[1] 若井 安部 他: "トータル・マネジメント・サーバーとしての役割担うM-880", 日経コンピュータ, 237, pp. 71-80(1990).

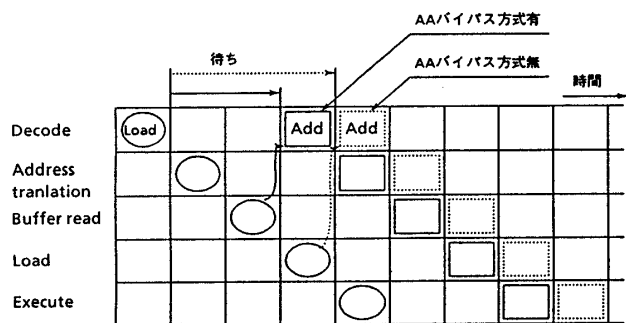


図2.アドレス生成インタロック発生時のパイプラインステージフロー

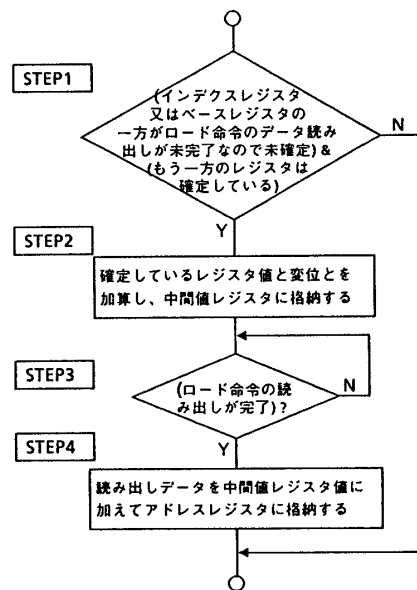


図4.アドレスアダーバイパス方式のフローチャート