

# バスディレイ最適化配置方式

6J-5

佐々木 哲雄 石井 建基 檜山 徹 小川 泰 永瀬 八大 佐藤 康夫 † 遠藤 潔  
(株)日立製作所

日立ソフトウェア  
インツニアリング(株)

## 1. はじめに

近年計算機の高速化、高集積化が進むにつれ、DA(設計自動化)システムへの要求は、従来の設計工数低減、装置開発期間の短縮および設計品質の確保に加え、マシン性能を確保する事、すなわちバスディレイを最適化するという高度なものへと変わってきた。これはプロセス微細化により配線ディレイの占める割合が増加したために、実装結果によってディレイが大きく変動することとなり、論理対策のみではバスディレイを制御できなくなったためである。ここでは、高速・高配線率LSI自動レイアウトシステムにおけるバスディレイ最適化配置方式について報告する。

## 2. バスディレイ最適化

### (1) バスディレイの条件

バスとは、記憶素子であるフリップフロップ(以下FFと略す)から次のFFまでの信号伝播経路であり、バスディレイとはバス上を信号が伝播する際の遅延時間である。また、バスディレイの許容値は始点と終点のFFが動作するクロック相によって決められる。バスディレイは図1に示すように許容値以下とすることが必要である。

### (2) 実装でのバスディレイ制御の必要性

図2に示すようにディレイは配線長に大きく依存している。すなわち、ゲート段数やF.O.数を制限しても実装状態によってバスディレイは大きく変わる。そこで、ディレイを制御するためには、実装によって配線長のばらつきを制御することが必要である。

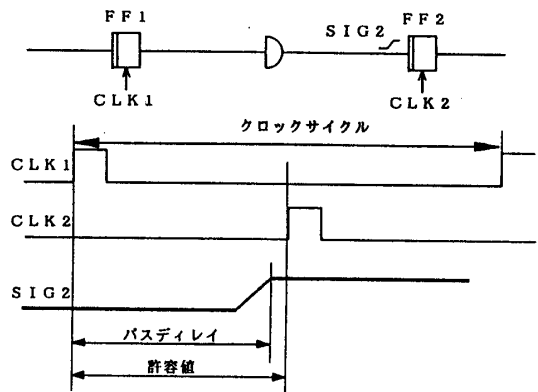


図1 バスディレイと許容値

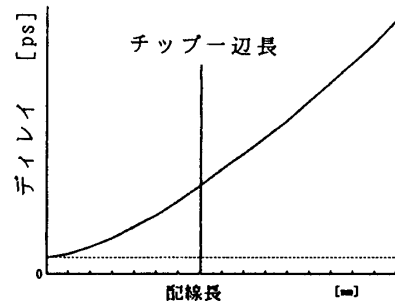


図2 配線長-ディレイ特性

## 3. バスディレイ最適化配置方式

### (1) 配置処理フロー

配置処理は、初期配置と配置改善<sup>1)</sup>の2つのフェーズからなっている。初期配置フェーズではクラスタリング配置手法<sup>2)</sup>を用い、配置改善ではペア交換配置改善手法を用いている。

### Path Delay Optimization Placement Techniques

Tetsuo Sasaki      Tatsuki Ishii      Tooru hiyama  
Yasushi Ogawa      Hachidai Nagase      Yasuo Satou  
HITACHI Ltd.

† Kiyoshi Endou

HITACHI SOFTWARE ENGINEERING CO.,Ltd.

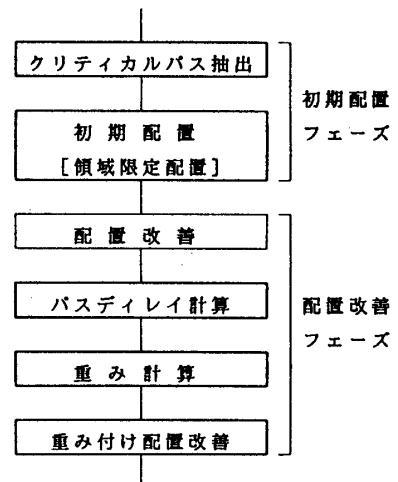


図3 配置処理フロー

## (2) 領域限定配置

配線長のばらつきを制御するにあたっては、まずバス全体の総配線長を制御することが必要であり、またそれらは転送サイクル別に異なる制御を行わなければならない。そこで、転送サイクル毎にある面積の領域を設定して、当該バスに係わる全てのゲートをその領域内に配置するように制御した(図4)。この処理は、クラスタリング初期配置において、クラスタ分割する際にクラスタサイズがその面積以下となるまで当該バス上のゲートを別々のクラスタに分割しないような制御を行うことにより実現した(図5)。また、初期配置フェーズで実現したために未配線の増加を防いだ。

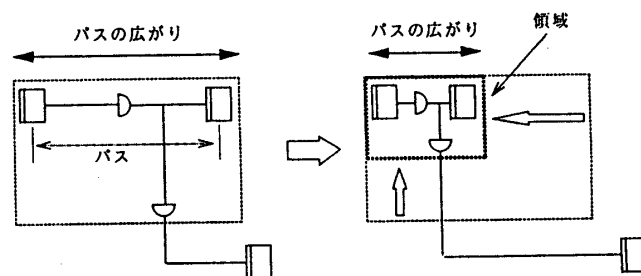


図4 領域限定配置

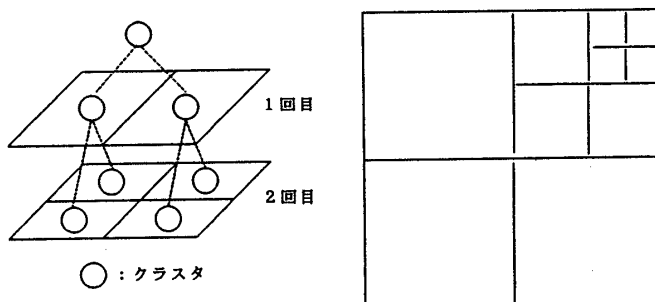


図5 領域限定配置2

## (3) 重み付け配置改善

さらに、初期配置後においても配置結果を基にバスターレースを行ってディレイ計算し、バスディレイが許容値を超えるバス上のネットに違反度に応じた重みをつけて、ペア交換配置改善では重みの付いたネットの配線長をより短縮する制御を行う重み付け配置改善手法<sup>1)2)</sup>を開発した(図6)。

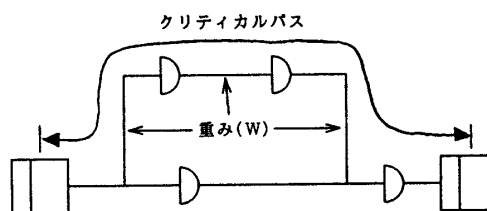


図6 重み付け配置改善

## 4. 効果

ベンチマークとして用いた1モジュール分のデータでは、違反件数を0件とし、図7に示すように最大バスディレイを転送サイクルの23%短縮した。

## 5. おわりに

LSI自動レイアウトシステムにおいて、高速・高配線率を保ちつつバスディレイを最適化する配置方式を開発し、M-880のマシン性能確保に貢献した。

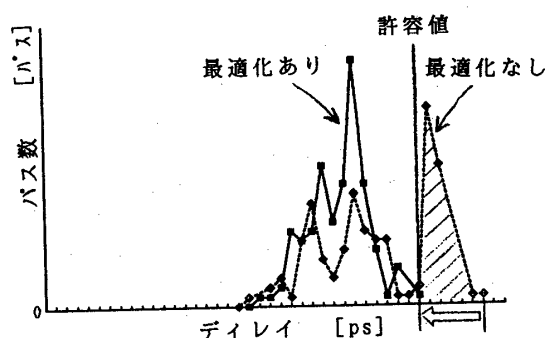


図7 クローズバスディレイの分布

## 6. 参考文献

- 1) 石井、他：昭和60年度電子通信学会総合全国大会 pp2-129  
「バスディレイ最小化VLSI配置手法」
- 2) Y.Ogawa, et al: Proc. 23rd Design Automation Conf., pp404-410, 1986.  
"Efficient Placement Algorithm Optimizing Delay for High-Speed ECL Master Slice LSI's"