

ゲート敷き詰め型ゲートアレイ用配置アルゴリズム

6 J-3

袖 美樹子 枝廣 正人 吉村 猛

日本電気(株) C&Cシステム研究所

1 はじめに

近年 ULSI の大規模化に伴いレイアウト期間が長期化する傾向にある。そこで大規模ゲートアレイに対し高速で、性能の良いレイアウト手法が望まれている。レイアウト設計において配置処理は、配線長等のレイアウト性能を左右する重要な部分である。また最近ゲート敷き詰め型ゲートアレイの需要も増してきている。

本稿ではゲート敷き詰め型ゲートアレイ用配置アルゴリズムを提案し、計算機実験結果について報告する。特に、下地へのマッピング部のアルゴリズムについて詳細に述べる。本手法は、階層クラスタリング手法 [2] を用いているため局所最適解に陥りにくい。また配置の相対的位置を決めてから下地へのマッピング処理を行なうため、下地の種類、ブロック、セル使用率による交換不能状態を避けることができる。また、下地へのマッピング処理に 2 次計画問題の解法を用いるため、無駄な交換の処理を行わず、高速に良い解を得ることができる。

計算機実験結果では、従来手法で未配線が生じた例 (42k ゲート、セル使用率 59%、未配線 103 本) に対しても、本手法によると約 40 分 (7MIPS 計算機相当) で配置が行なうことができ、未配線なしの結果を得られることが確認された。

2 従来手法

配置は実用的な計算機時間で最適解を見つけ出すことは困難であると言われている。そこでさまざまな発見の手法が提案されている。代表的な方法として min-cut 法があるが、局所最適解に陥りやすいという欠点がある。局所最適解から脱出するために確率的要素を取り入れた最適化手法、シミュレーテッドアニーリング法が提案されているが、計算時間に問題がある。これに対して、局所最適解から脱出するための効果的な方法として、階層クラスタリング手法 [1,2] を用いた方法が提案されている。しかし、これらの方法はセル列型レイアウトに対して提案されたものであり、ゲート敷き詰め型のレイアウトには適さない。

近年、ゲート敷き詰め型レイアウト手法として、2 次計画問題を用いた方法 [3] が提案されている。この方法は、配線長 2 乗の意味で最適解を得ることができる。しかしブロックの重なりに対する制約を取り入れるのが難しいという欠点がある。そのため、[3] では 2 次計画問題の解に対し、ブロックの集合を 2 分割する処理を繰り返している。この方法では 2 次計画問題の解が、目的関数の性質上中央に集まる傾向があるため配線長

を短くする分割にならず、大規模レイアウトに対しては解が良くならない。セル列型レイアウトに対し 2 次計画問題を用いた手法をプログラム化し、階層クラスタリング手法と比較を行なった結果を表 1 に示す [2]。大規模レイアウトに対しては、階層クラスタリング手法の方が優れていることがわかる。

	primary1	primary2
GORDIAN	1.50	8.15
階層クラスタリング手法	0.91	4.11

表1 見積配線長の比較(単位m)

3 提案手法の特徴

本手法は、階層クラスタリング手法を用いて概略の配置を行なったレイアウトに対して、2 次計画問題の手法を用いて下地へのマッピングを行なう。まず階層クラスタリング手法を用いた min-cut 法を用いて、カットラインで切られたメッシュの各領域にブロックを配置する。次に、カットラインにあわせて下地を領域に分割し、2 次計画問題を用いた手法を用いて、各領域内でのブロックの理想的配置位置を求める。

階層クラスタリング手法では、ブロックが属する領域までしか求まらない。そこで各領域内でのブロックの位置を、2 次計画問題の手法を用いて求める。領域内の小規模問題に対してのみ 2 次計画問題の手法を用いるため、ブロックを分割する必要がなく良い解が得られる。このように階層クラスタリング手法と、2 次計画問題を用いた手法を組み合わせることにより、ゲート敷き詰め型ゲートアレイに対して効率よく、しかも解の良いレイアウトを生成することができる。

ゲート敷き詰め型ゲートアレイは従来のセル列型レイアウトと違い、ブロックをランダムに置くことができる。またセル使用率が 50 ~ 60% で領域内に余裕があるため、階層クラスタリング手法で得られた結果を保持した配置、即ちカットラインによって分割された下地の各領域をはみだすことがほとんどない配置、を行なうことができる。このため階層クラスタリング手法の結果を十分に引き出せ、良いレイアウトを生成することができる。

4 配置アルゴリズム

ゲート敷き詰め型ゲートアレイのための配置アルゴリズムの全体フローを図 1 に示す。また各処理の概要を以下に示す。

初期クラスタリング

ネットの接続度により各クラスタがほぼ同じ大きさになるようにクラスタを形成する。

階層クラスタリング及び min-cut 法による交換

最終的にクラスタが 2 個になるまでクラスタを形成する。その後、クラスタを崩しながら各階層で min-cut 法による交換を行なう。

2次元配置改良

min-cutに基づく方法は、配置結果がカットの順序に大きく依存する。そこでカットラインによりメッシュ領域を作成し、このメッシュ間をブロックを移動させることにより各カットラインを横切るネットの数の平坦化をはかる。

下地へのマッピング

得られた相対配置をもとに下地へのマッピングを行なう。この時、2次計画問題の手法を用いる。次節で、このマッピングのアルゴリズムについて、詳細に説明する。

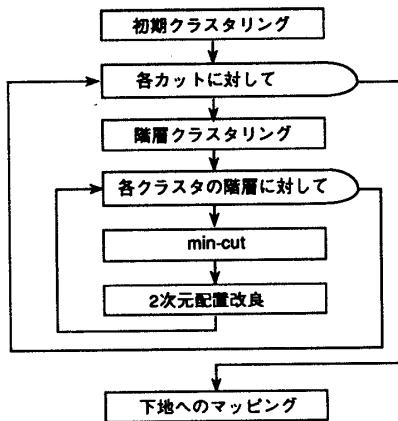


図1 全体フロー

5 下地へのマッピング

min-cut 終了後、各ブロックは各領域に割り当てられている。そこで、2次計画問題の手法を用いて各ブロックの各領域内での位置を求める。

5.1 目的関数

N 本のネットと、 M 個のブロックがあるとする。またブロックとネットの座標をそれぞれ $(x_\mu, y_\mu), (x_\nu, y_\nu)$ と表す。この時、配線長の二乗の総和を最小とする目的関数 L は次のように表せる。

$$L = \frac{1}{2} \sum_{v=1}^N \sum_{\mu=1}^M c_{v\mu} w_v [(x_\mu + \xi_{v\mu} - x_\nu)^2 + (y_\mu + \eta_{v\mu} - y_\nu)^2] \quad (1)$$

ここで $(\xi_{v\mu}, \eta_{v\mu})$ はブロック μ の中心からの端子の相対位置を表し、 w_v はネット v の重みを表す。また $c_{v,\mu}$ はネット v とブロック μ の接続関係を示すもので、接続されている場合 1、接続されていない場合 0 とする。

(1)の目的関数は性質上解が中央に集まる。そこでその領域にあるブロックの重心はその領域の中心になくはならない、という制約をもうける。

5.2 2次計画問題の適用

min-cut 終了後、各ブロックは各領域に割り当てられている。しかし、まだ各領域の中でのブロックの位置は決まっていない。そこで各ブロックの位置を求め、下地へのマッピングを行なう。

各領域内でのブロックの位置を求めるのに2次計画問題の手法を用いる。ブロックの位置は、各領域に対し(1)式を最小化する座標を計算することにより求められる。この時、他の領域でブロックの位置が決まっていなかったものに対しては、各ブロックがその領域の中央にあるものとして計算を行なう。この処理の結果、解が領域からはみだす場合や、領域のある位置に集中する場合がある。この場合、ブロックの相対位置を変えないように、また領域内におさまるようにブロックを移動させる。

またこの方程式は、SCG法[4]を用いて容易に解く事ができる。この方法は高々 n 回 (n は変数の数) の反復で厳密解に到達することが証明されており、収束性が良い方法である。その上、実際には n 回よりもはるかに少ない回数で収束する。このため、非常に高速に解を得ることができる。

6 計算機実験結果

計算機実験結果を表2に示す。比較は市販システムと本手法に対し、同じ配線システムを使用することにより行なっている。既存システム(min-cut法+GFDR法)で未配線が103本生じた例に対し、本配置手法ではCPU時間40分(EWS4800/20(7MIPS))で配置が行なうことができ、未配線なしの結果を得ることができた。また市販システムと比べ予想配線長において約24%短いことを確認した。

下地へのマッピングで配置位置を求めるために、一旦ブロックを下地に置いてから重心法で交換を行ないブロックの位置を決める方法もある。そこで下地へのマッピング部分をこの2つの方法を用いてプログラムし、計算機実験を行なった。ピンペア数17948本の例では、ブロック重心による方法と本手法では未配線本数で3.6%本手法の方が優れていた。

配置ツール	配置時間	配線時間	未配線	トータル配線長
市販ツール	10.5H (SUN3)	3.1H (ACOS 2000)	0	12026mm
本手法	40M (EWS4800/20)	2.3H (ACOS 2000)	0	9243mm

(42K,セル使用率59%,ピンペア数17948本の例)

表2 計算機実験結果

7 おわりに

ゲート敷き詰め型ゲートアレイ用配置アルゴリズムを提案した。計算機実験結果より、この手法を用いると短時間で有効な解が求められることを確認した。

参考文献

- [1] 袖, 枝廣, 吉村, “階層クラスタリング手法を用いたゲートアレイ配置手法.” 情報処理学会第39回全国大会, 1V-1, 1989.
- [2] 枝廣, 吉村, “階層クラスタリング法を用いたセル列型LSIのための配置手法.” 信学技法 VLD90-62, pp.9-16, 1990.
- [3] J.M.Kleinmans, G.Sigl, and F.M.Johannes, “GORDIAN: A New Global Optimization / Rectangle Dissection Method for Cell Placement.” Proc. ICCAD-88, pp.506-509, 1988.
- [4] 戸川隼人, 共役勾配法, 教育出版, 1977.