

5 J-3

VLSI設計におけるクロック論理の 実装設計手法について

山田政浩* 鈴木和夫* 笹川宗宏* 古田直樹* 石山 俊** 岡部年宏**
*(株)日立コンピュータエレクトロニクス ** (株)日立製作所

1. はじめに

VLSIの実装設計において装置のマシサイクル向上を図るため、遅延時間を考慮したクロック論理の配置配線をする必要がある。そこで、VLSI内におけるクロック論理の配置位置・配線長・配線層指定を考慮したDA利用技術を開発し、マシサイクルとして10%強の改善を計った。

2. 実装設計方法の概要

VLSIは、論理の大規模化に伴い分割設計による階層化設計方式を採用する場合がある。図1にDAを利用した実装設計方法を示す。

- ①論理的機能で分割した論理ブロックのゲート数から論理ブロックの大きさを見積り、その論理ブロック間の配線量を考慮した上でチップ内に論理ブロックをレイアウトする。
- ②論理ブロック内にゲートを配置し、ゲート間を配線する。
- ③チップを複数のリージョンに分割し論理ブロックをリージョン内に配置する。
- ④各論理ブロックへ電源線を配線する。
- ⑤リージョンとリージョンにまたがる配線の分割端子を決定する。
- ⑥リージョン単位に論理ブロック間を配線する。
- ⑦未結線があれば追加する。

実装設計工程は、論理動作の確認(論理シミュレーション)完了後に移行。また、実装設計完了後、診断データ設計工程に移る。

3. 従来クロック論理の実装設計手法と問題点

図2に示すようにクロック論理を、他の論理と混在して論理ブロックを作成し、これをチップ中央部に配置していた。このため、ブロック内自動配置配線を行うとクロック論理の遅延時間が考慮された配置とならない。また、他の信号配線と同じ配線をするため迂回配線による配線長の違い、全配線層を使用し配線するため配線抵抗の差異により、遅延時間にばらつきが発生する。この配線長と遅延時間の関係は次の簡略式で表される。

$$TD = t_d + (R + L \cdot Re) \cdot (Ci + L \cdot Ce)$$

TD:遅延時間, t_d :ゲート遅延時間, L:配線長, R:ソース抵抗値, Re :単位配線抵抗, Ci :負荷入力容量, Ce :単位配線容量

また、配線層間の抵抗値、容量の一事例を、表1に示す。この表で示すように、配線層ごとに抵抗値、容量に違いがある。処理速度の遅い装置では、特に考慮する必要はないが、速い装置となるとクロック論理の配置位置・配線長・配線層指定の考慮が必要となる。

表1 配線層別の抵抗値比・容量比

区分	容量比	抵抗値比
配線層1(横方向)	1.5	2.1
配線層2(縦方向)	1.3	2.1
配線層3(横方向)	1	1

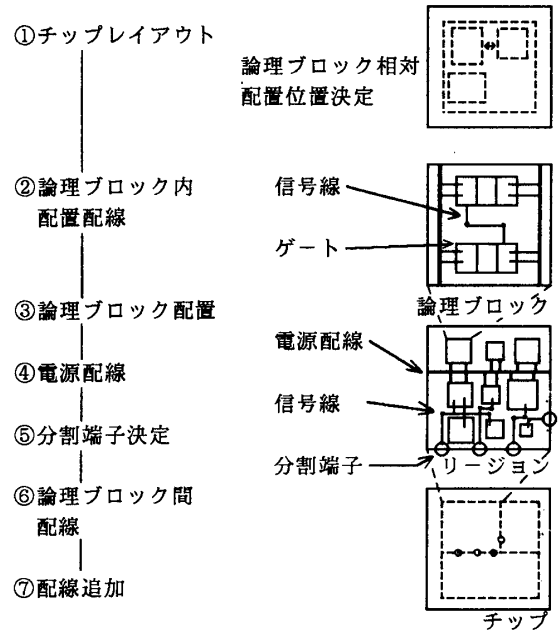


図1 実装設計方法

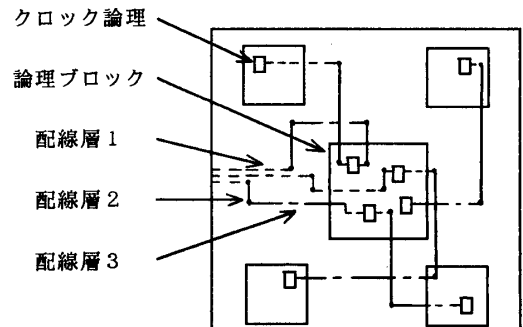


図2 従来のクロック論理実装方法

4. クロック論理の実装設計方法改善事例

4.1 クロック論理のブロック分け

クロック論理の遅延時間考慮のため、予め論理設計時、論理ブロック分割を考慮しておく。このためクロック論理のみ、別論理ブロックとして切り分け、図3に示すように4段階の論理ブロックに分割する。まず第1段は、LSIの外部よりクロック信号を受けるバッファゲートの論理ブロック、第2・3段は、チップ中央より各機能へ振り分けるためのドライバゲートのクロック分配論理ブロック、第4段は、第3段から一般論理の各論理ブロックへ振り分けるためのものである。一般論理の各論理ブロック内は、ドライバゲートを使い、負荷数を限定し構成する。また、クロック論理のゲート種・数は、各フリップフロップまで、同じもので構成し負荷数も同じにすることによりゲート遅延時間を等しくする。

4.2 クロック論理のブロック配置

論理ブロック配置工程で、4段階に分けたクロック論理ブロックをチップ内に図4に示すように配置する。第1段の論理ブロックは、チップの入出力ピンの近くに配置し、第2段の論理ブロックは、チップ中央に配置する。第4段の論理ブロックは、チップ内、各領域(I, II, III, IV)の中央に配置する。第3段の論理ブロックは、第4段の論理ブロックの中央で、第2段の論理ブロックから等距離に配置する。これにより、第4段までのクロック論理間の距離を等しくし、各フリップフロップまでの遅延時間のばらつきを低減する。

4.3 論理ブロック間の配線方法

図5に示すように、論理ブロック間配線方法は、クロック論理以外の他の信号配線をする前に自動配線を用いて最短配線を行い、配線長を揃えている。また、配線層間の抵抗・容量が異なることを考え、配線抵抗・配線容量の一番少ないものを選択し、一般論理ブロックまでの配線長を同一とし、遅延時間を合わせる。具体的には、表1のデータから見ると、配線層3が抵抗・容量とも低いので、これを論理ブロック間の横方向配線に使用し、縦方向配線は、配線層2を使用する。自動配線は、配線層1を配線禁止としたクロック配線を行い、最短配線とならないものは、修正を行う。論理ブロック内配線は、自動配線後、配線長・配線層を揃える。また、配線前に、分割端子もクロック配線を優先し決定する。

5. 効果

上記の方法により、配置位置・配線長・配線層の指定を考慮し、従来の方法に比べ、10%以上のマシサイクルを向上することができた。

6. 参考文献

- 1) 山田他：「VLSIのレイアウト設計手法について」
情報処理学会第31年全国大会
- 2) 中尾他：「CMOS LSI実装DAの利用技術」
情報処理学会第36年全国大会

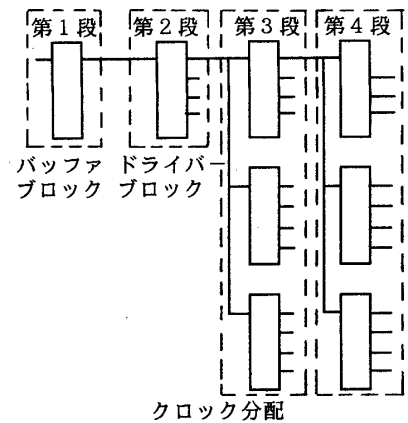


図3 クロック論理のブロック分け

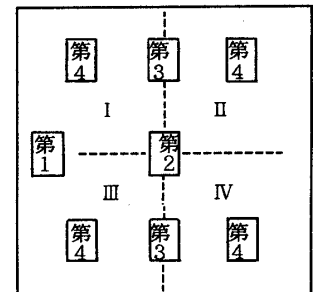


図4 クロック論理のブロック配置

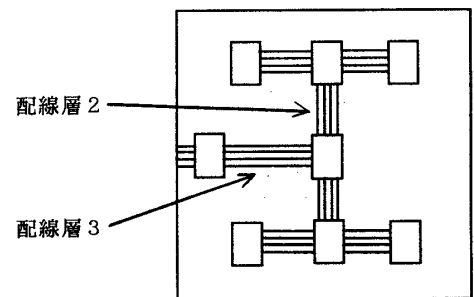


図5 論理ブロック間の配線方法