

# 4J-11 メモリ内蔵LSIテスト手法の一考察

小島 一浩\*\* 森脇 郁\* 佐山 重男\*\* 日當瀬 良夫\*\*  
 \* (株)日立製作所  
 \*\* 日立コンピュータエンジニアリング(株)

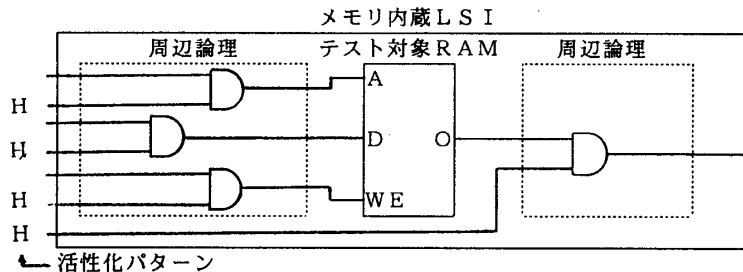
## 1. はじめに

最近の超大型計算機では、主記憶・バッファ間のデータ転送処理高速化のため、メモリ内蔵LSIが使用されている。このメモリ内蔵LSIも、年々大容量化、多ピン化しており、従来のテスト手法では、処理時間の増大、テスト精度の低下等性能の低下を招いていた。

この問題に対処するため、いくつかの新しいテスト手法を検討した。本稿では、これらの検討に基づいて得られたメモリ内蔵LSIのテストの一手法について述べる。

## 2. メモリ内蔵LSIテストの概要

LSIのエッジピンよりRAMを直接制御するため、図2.1のように周辺論理を活性化しRAMに制御信号を与えてテストを行なう。



活性化 : 周辺論理をスルー状態にすること。  
 活性化パターン : 活性化するために周辺論理に与えるテストパターン

図2.1 メモリ内蔵LSIテストの概要

## 3. メモリテスト上の問題点と対応策

メモリテスト上の問題点と対応策を表3.1に示す。

表3.1 メモリテスト上の問題点

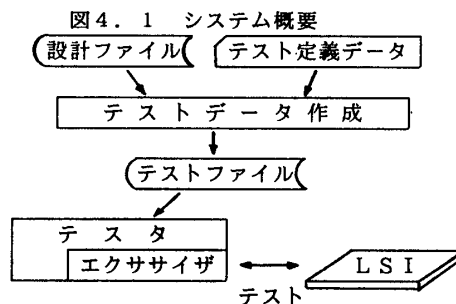
No	項目	メモリテスト上での問題	対応策
1	大容量化・RAM数の増大	活性化パターン定義、ピン定義、タイミング定義等のテスト手続き記述工数の増大	パラレルテスト機能(エクササイザ)
2	高速化	信号遅延、ゲート数増大、LSIピン-RAM間のスルー動作保障等により活性化用論理をLSI内部に組み込むことが困難	サイクルテスト機能(エクササイザ)

## 4. 開発システム

### 4.1 システム概要

図4.1にテストシステムの概要を示す。テストデータ作成では設計ファイル、テスト定義データを入力し、テストファイルを作成する。このテストファイルを基にテストのエクササイザを制御しながらテストを行なう。

エクササイザ : ALPG (Algorithmic Pattern Generator) によりマーチング、ギャロッピング等のパターンを高速に生成



## 4. 2 システム詳細

## (1) パラレルテスト機能

図4. 2の様に同一チップ上に存在する複数のRAMのテスト条件を同じにすれば、一度データを定義するだけで複数のRAMが同時にテスト可能となるパラレルテスト機能を採用し、データ作成工数の低下とテスト時間の短縮を図った。

ここでの同一テスト条件とは下記の3つの条件を満たしていることである。

- 1) 活性化の条件が同じ
- 2) 同一属性(アドレス・データ・コントロール・他)をもつピングループのサイクルシフト数が同じ
- 3) 出力ピンは、各RAM毎に独立に観測可能

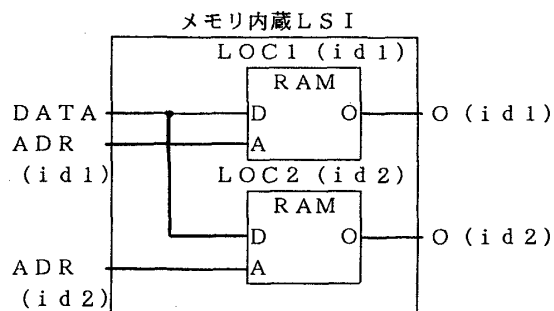


図4. 2 パラレルテスト機能概要

## (2) サイクルシフト機能

LSIのエッジピンからRAMに至る経路上に存在するフリップフロップにクロック信号を与え、テストで発生させるRAMテスト信号をそのクロック信号のサイクルタイミングに同期させて制御するサイクルシフト手法を用いた。

この方法によれば、フリップフロップに与えるクロック信号のサイクルタイミングにあわせてテストが出来るため、実動作に近い状態でのテストが可能となり、高速なRAMのアクセスが可能となる。

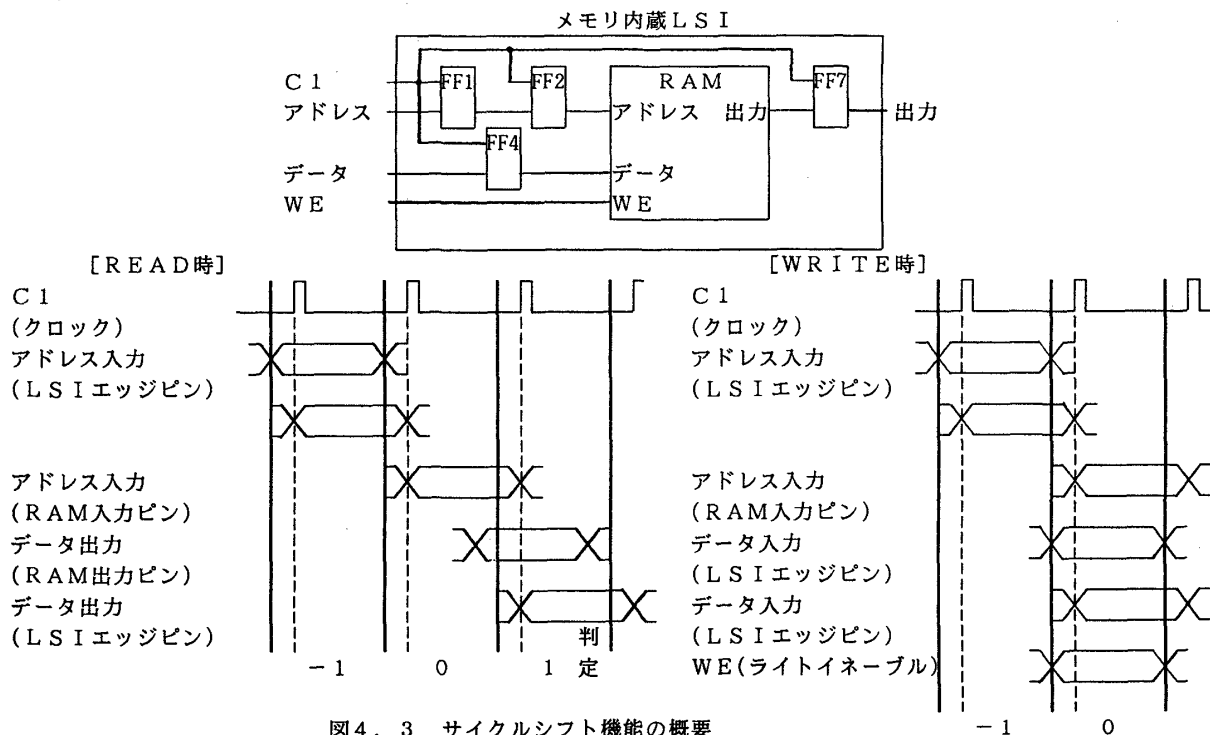


図4. 3 サイクルシフト機能の概要

## 5. おわりに

これらの手法をメモリ内蔵LSIのRAMテストに適用した結果、37KbのRAMを搭載する2,000ゲート級のメモリ内蔵LSIのRAMテスト工数が約40%低減された。

## 参考文献

1. K.Moriwaki, S.Ishiyama, K.Takizawa, F.Kobayashi, S.Sekine, Y.Hinataze, "A Test System for High Density and High Speed Digital Board", Proc. International Test conf., 1986, PP.993-996
2. 日富瀬, 森脇, 石山, 沼田, 水内, "高密度基板テストの一手法", 4U-11, 1986