

3 J-5 ベクトル化イベントドリブン方式の高速化手法

溝上良人¹ 木下佳明¹ 高嶺美夫¹ 三善正之¹ 永田喜之² 長藤元宣²

1:(株)日立製作所

2:日立コンピュータエンジニアリング(株)

1. はじめに

近年、論理シミュレーションを用いた論理検証の重要性は一段と増大し、論理シミュレータの高速化が必須である。この要求に対してVELVET(Vectorized Processing System for Logic Verification)を開発し、従来ソフトウェアシミュレータ比100倍の高速化を実現した。しかしながら、より高速な論理シミュレーション速度を得るソフトウェア手法が必要とされていた。

そこで、ベクトル化イベントドリブン論理シミュレーションで発生する重複イベント(同一論理素子に対する複数個のイベント)に着目し、そのイベントを削減することによる高速化を実現した。

2. 重複イベントの発生要因

2.1 シミュレーション方式と重複イベント

イベントドリブン論理シミュレーション方式は、図1に示すように各論理素子の出力信号変化をイベントとして次段の論理素子に伝播し、イベントが発生した論理素子だけシミュレート対象とする手法である。

本手法では、図2に示すように、同一イベント処理時に同一論理素子に対し複数のイベントが発生する場合があります。これらを重複イベントと称する。

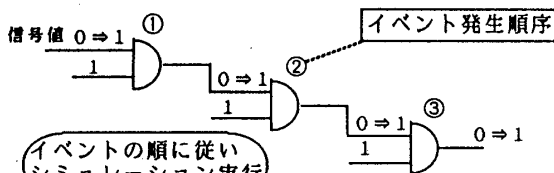


図1 イベントドリブン方式の概念

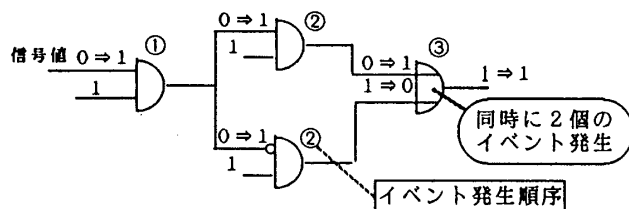


図2 重複イベントの概念

2.2 ベクトル化による重複イベント

発生したイベントの評価および次段論理素子へのイベント登録をベクトル処理で実行すると、1回のベクトル処理で256~512個のイベント処理を同時に実行できる。したがって、図3に示すような論理回路の入力信号値を同時に変化させた場合、本来170個のイベント発生でシミュレート可能であるが、ベクトル処理によれば、全論理段に対し512個、合計2048個ものイベントが発生する。本回路を例として、ベクトル処理によるイベント発生を概要を図4に示す。

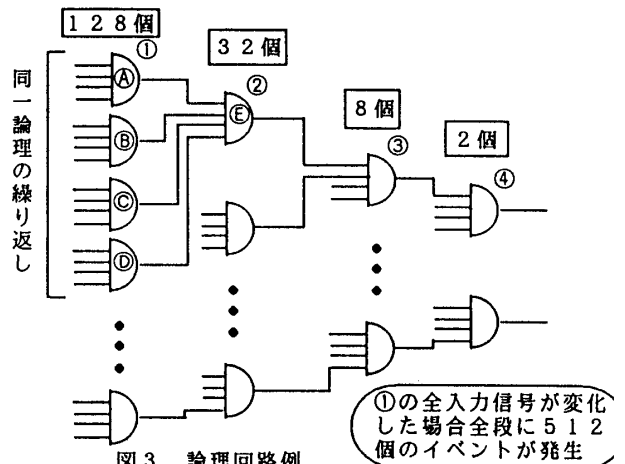


図3 論理回路例

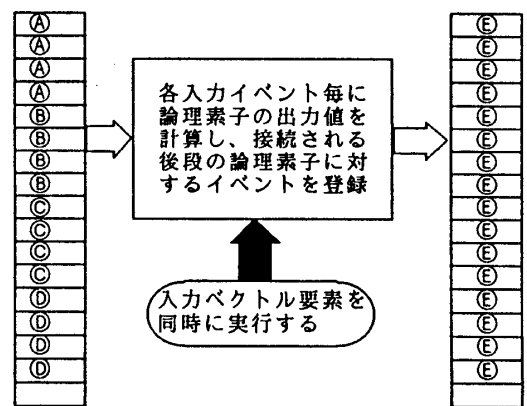


図4 ベクトル処理によるイベント発生概要

A Method of Speed-up for Vectorized Event-Driven Logic Simulation System.
Yoshito Mizoue¹, Yoshiaki Kinoshita¹, Yoshio Takamine¹, Masayuki Miyoshi¹,
Yoshiyuki Nagata², Motonobu Nagafuji²

1:Hitachi, Ltd. 2:Hitachi Computer Engineering Co., Ltd.

3. 重複イベント削減方式

3.1 処理方式概要

重複イベントを抑止する手段として、イベント登録時に接続先のイベント登録を既に行っていたか判定しながら登録する手段が考えられるが、本方式では、イベント登録が終了したのち、それまでに発生したイベントを読み込み、同一論理素子に対する重複イベントを削減する手法とした。方式概要を図5に示す。

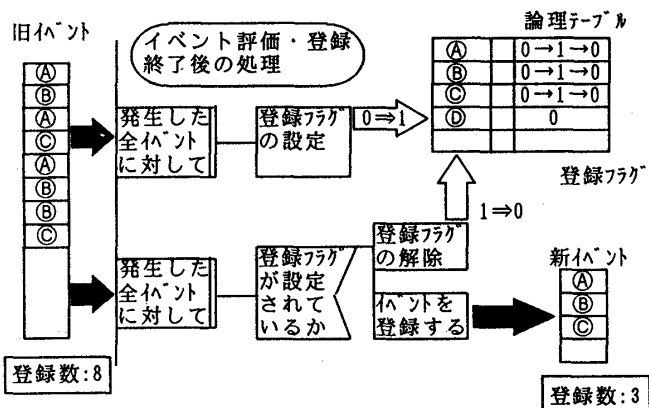


図5 重複イベント削減方式

3.2 ベクトル要素の編集方式

上記 3.1 項で述べた重複イベントの削減手法をベクトル処理で実行しても、1ベクトル要素に含まれる重複イベントは削減されず新イベントとして残ってしまう。

そこで、全発生イベントから最適となるベクトル要素を取り出し、ベクトル処理を複数回実行する方式を用いた。これは、各論理素子間の接続が近接し同一論理素子に対するイベント発生が集中すること。および、出力先がそれぞれ異なる論理素子へ接続されているため、連続して同一論理素子へのイベント発生が行われないことを利用したものである。

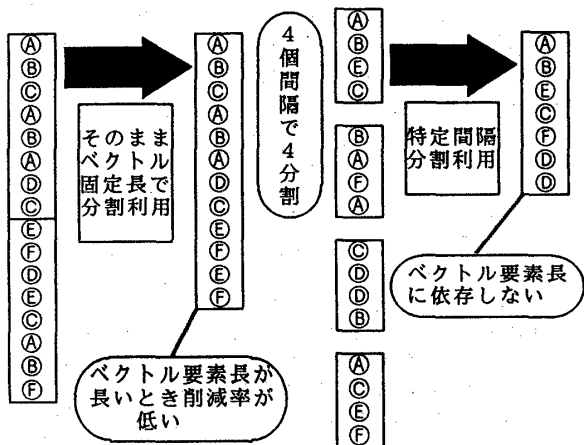


図6 ベクトル要素の編集方式

3.3 重複イベント削減評価

図3の論理回路例を用いて、本方式(ベクトル処理)の実行性能を比較した結果、従来のイベント処理に比べ、発生イベント数を従来の60%に削減できた。図7にその結果を示す。

本方式では、完全には重複イベントを削減できないが、イベント処理に関わるベクトル処理時間は削減できる。

発生イベント数の比較

<条件> 入力信号変化数 440本
実行回数 11回

| 項目 | ベクトル処理 | | 重複イベントがない場合 |
|--------|--------|---------|-------------|
| | 従来手法 | 改善後 | |
| 発生イベント | 比率 | 100* | 60* |
| | 個数 | 13,288* | 7,931* |
| | | | 1,870* |

図7 イベント削減評価結果

4. 適用結果

本方式を用いてM-880装置レベルシミュレーションを評価した結果、以下の性能を得た。

| 項目 | 従来方式 | 本方式 |
|-------------------|------|-----|
| 処理時間 (CPU使用時間) | 1 | 0.8 |

5. おわりに

ベクトル化イベントドリブン論理シミュレーション方式において、重複イベントの削減方式により処理性能を20%向上した。

<参考文献>

- (1) S.Nagasima et al.: Hardware Implementation of VELVET on the Hitachi S-810 Supercomputer, ICCAD '86, pp.390-393
- (2) Y.Kazama et al.: Algorithm for Vectorizing Logic Simulation and Evaluation of "VELVET" Performance, 25th DA Conf.(1988) pp.231-236
- (3) Y.Takamine et al.: Clock Event Suppression Algorithm of VELVET And Its Application to S-820 Development, 25th DA Conf.(1988)