

3J-3

HAL IIIを用いた効率的論理検証及び解析方法

成友 京子* 平林 良啓* 藤下 正広* 中田 勝** 高崎 茂*
* 日本電気(株) ** 北陸日本電気ソフトウェア(株)

1. はじめに

LSI/VLSI時代においては、開発費の増大や開発納期の遅れを防ぐ為、設計の上流工程より設計品質に大きな注意が払われて来ている。この為、設計上位の段階で設計言語による計算機モデルを構築して、実機検査と同様な機能テストをシミュレータ上で実行し、充分な品質検証をしておく必要がある。

これを達成する為に、従来の様なゲートレベル主体のシミュレータに代わって、設計言語による機能レベルの記述を超高速にシミュレーションできるシミュレータHAL IIIが開発された。HAL IIIは機能記述をシミュレーションできるハードウェア・シミュレーション・マシンで、31台構成でゲートレベル・ソフトウェア・シミュレータの約10,000倍の実行速度を持ち、更に効果的に装置診断プログラムを走行させる為に、命令レベル・シミュレータとリンクして実行する機能(TDHAL3)を持っている。

本稿では、TDHAL3システムで行われている効率的な装置診断プログラムの実行及び解析方法について述べる。

2. TDHAL3システム

2.1 TDHAL3システム概要

装置診断プログラムをより有効に実行する為、HAL IIIと命令レベル・シミュレータ(TDSIM: T&D Simulator)をリンクした。

装置診断プログラムは、被試験命令部分が全体の数パーセントに過ぎず、残りの大部分はその被試験命令部分の前後処理(初期データの設定、結果編集等)である。TDHAL3システムでは、装置診断プログラムの前後処理部を命令レベル・

シミュレータで、被試験命令部分をHAL IIIで実行する。(図1)

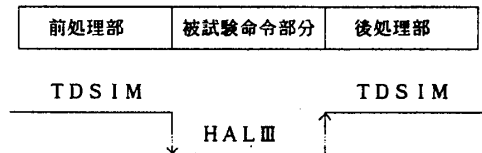


図1 シミュレータ分組図

命令レベル・シミュレータは、実マシンの一命令を数百命令でシミュレーションする為、実マシンに対し高々3桁落ちる程度の処理速度であるから、ハードウェア・シミュレータよりも高速である。従って、HAL IIIと命令レベル・シミュレータとをリンクしたTDHAL3は、両シミュレータ間のデータ転送によるオーバーヘッドを考慮しても、HAL III単体で行う時に比べ、数十倍高速に実行される。

2.2 TDHAL3システム構成

図2にTDHAL3システムの構成を示す。

HAL III制御部及び命令レベル・シミュレータは、当社の汎用コンピュータ、ACOS上で構築されている。

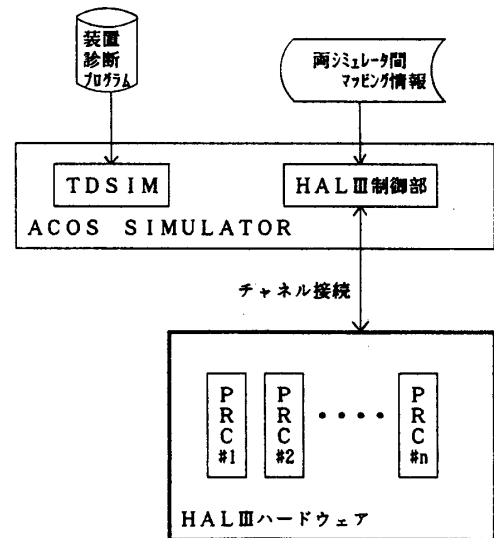


図2 TDHAL3システム構成図

An Efficient Logic Verification and Trouble Shooting Method using HAL III
Kyoko NARITOMO*, Yoshihiro HIRABAYASHI*, Masahiro KURASHITA*, Masaru NAKATA**, Sigeru TAKASAKI*
* NEC Corporation, ** NEC Software Hokuriku, Ltd.

両シミュレータ間の転送データは、ホスト・コンピュータ上でタスク間通信により受け渡される。HAL III制御部は、予め作成されている両シミュレータ間のマッピング情報（ソフトウェア・ビジブル・レジスタとモデル上のレジスタ等との対応関係記述）を基に、HAL IIIハードウェアへのデータ展開及びHAL IIIハードウェアからのデータ編集を行う。

2.3 TDHAL 3システムの実行方法

図3に、TDHAL 3の運用フローを示す。

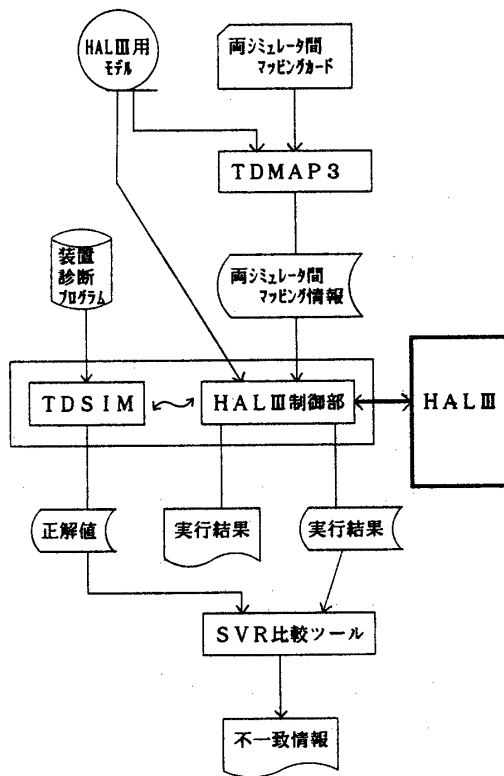


図3 TDHAL 3運用フロー

まず、TDMAP 3により両シミュレータ間のマッピング情報を作成する。論理シミュレーションが起動されると、TDSIMは装置診断プログラムの前処理部を実行する。HAL III制御部は、被試験命令部分の先頭でTDSIMからデータを受け取り、両シミュレータ間のマッピング情報を基に、HAL III内部へデータを転送し、シミュレーションを起動させる。HAL IIIで被試験命令部分のシミュレーションが終了したら、HAL III制

御部はHAL III内部のデータを編集し、TDSIMへ転送する。TDSIMは後処理を行い、一回の試験を終了する。

以上の動作を複数回繰り返す。

実行結果は次に述べるSVR比較ツール等を用いて解析する。

3. 論理バグ発生時の解析方法

回路の論理バグを絞り込む手段として、図3に示されるSVR (Software Visible Register)比較ツールを開発した。

本ツールは、各命令実行完了後のSVRの値をTDSIMによる実行結果と、HAL IIIによる実行結果とで比較する。その結果、不一致となった時点の走行ステップ数と不一致情報とを表示する。論理設計者は、不一致となった走行ステップ近傍の詳細なレジスタの値を解析することにより、効率的に回路のデバッグを行う事が出来る。

4. 効果

TDHAL 3システムを運用した結果、HAL III単体で行う時に比べて約50倍の性能向上が得られた。又、SVR比較ツールによってバグの絞り込みを行った為、不良箇所の解析時間も大幅に短縮された。

5. むすび

TDHAL 3システムは、設計言語による機能モデルを用いて設計の上流工程で装置診断プログラムを実行できる為、高速に論理検証を行う事が出来る。

又、実行結果の不良解析も、非常に容易に行う事が可能な為、実際のVLSI装置の設計検証に有効に活用されている。

[参考文献]

- [1] S. Takasaki etc, "HAL III: Function Level Hardware Logic Simulation System" ICCD, PP. 167-170, SEPT. 1990.
- [2] 高崎 茂他 「HAL III: 機能レベル・ハードウェア・シミュレーション・システム」設計自動化 52-1
- [3] 蔵下正広他 「超高速シミュレータ(HAL)による効果的論理検証」情報学会第37回全国大会