

非同期式プロセッサにおける2線2相式レジスタ間転送の遅延条件

2J-7

片山徳康

川辺幸仁

山村良憲

南谷 崇

東京工業大学 工学部

1 はじめに

従来存在したほとんどのコンピュータは同期式であり、クロックと呼ばれる特別な同期信号によって制御されている。しかし、この方式では、素子の高速化が進んでもチップ全体の同期をとるのに時間がかかるため、素子の高速性をコンピュータの速度に十分生かせなくなる。高速素子の能力を利用する一つの方法は、クロックを用いずに動作する非同期式回路を実現することである。[1] 本稿では、プロセッサの基本動作であるレジスタ間のデータ転送方式について述べ、転送の遅延条件とそこで用いられる組合せ回路ブロックの回路構成について述べる。

2 定義と回路動作方式

2.1 2線2相式符号方式

信号の状態として、ゼロ、イチ、未定義の3つを考える。この3値は、2線符号を用いて00を未定義、10をゼロ、01をイチと割り当てることで実現できる。すべてのビットが未定義であるベクトルをスペースと呼ぶ。また、すべてのビットがゼロもしくはイチで定義された値を持つ時、このベクトルを符号語と呼ぶ。

非同期式回路の中で比較的構成が容易であるとされるものに、2相方式による構成法がある。[2]

1. 入力には、符号語とスペースが交互に入る。
2. 回路は、スペース入力に対してスペース出力、符号語入力に対して符号語出力を割り当てるものとする。
3. 入出力の遷移には、スペースから符号語への遷移と符号語からスペースへの遷移がある。
4. 入出力の遷移においては、1度の遷移に2度以上値を変える変数がなく、かつ、遷移途中のベクトルが期待しない符号語に一致しないようにする。

この方式は、スペースから符号語への遷移と符号語からスペースへの遷移の2つの遷移があるので、2相方式と呼ばれる。また、条件4を満たすため、符号語は非順序符号であることが必要となる。上で述べた2線式符号は非順序符号の1つである。本稿では、符号語として2線式符号を用いる。以後、2線2相式で動作する回路について考える。

2.2 2線2相式レジスタ間データ転送

プロセッサにおける基本動作の1つは、レジスタ間データ転送である。2相方式のデータ転送は図1に示されるように、2相制御モジュールによって次のように実行される。

1. 上位からの2相制御モジュールへの入力(上位 request)が1に変化する。

「スペース ⇒ 符号語遷移」

- (a) 2相制御モジュールから前段のレジスタに request ↑ がくる
- (b) 前段のレジスタは符号語を組合せ回路に出力する。
- (c) 組合せ回路が符号語を出力する。
- (d) 後段のレジスタは組合せ回路の符号語出力を読み込んで、2相制御モジュールに acknowledge ↑ をかえす。

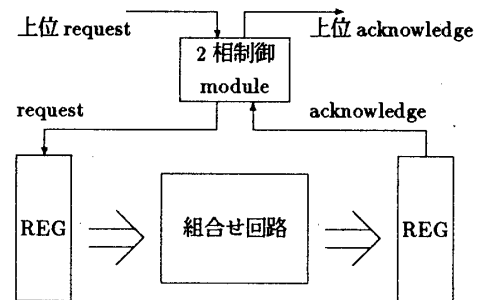


図1: レジスタ間の転送

「符号 ⇒ スペース遷移」

- (a) 2相制御モジュールは acknowledge ↑ をみて、request ↓ となる。
 - (b) 前段のレジスタがスペースを出力する。
 - (c) 組合せ回路がスペースを出力する。
 - (d) 組合せ回路のスペース出力を後段のレジスタが受けると、2相制御モジュールに acknowledge ↓ をかえす。
2. 2相制御モジュールの上位出力(上位 acknowledge)が1になる。
 3. やがて、上位 request が0になり、その信号変化は素通りして、上位 acknowledge が0になる。

3 組合せ回路の複雑さと遅延仮定の関係

3.1 正しい動作

図1のシステムの正しい動作を以下のように定義する。

定義1 システムの正しい動作とは、レジスタが期待しない値を保持しないことである。

システムの正しい動作を保証するためには、このシステムを構成するブロック(2相制御モジュール、レジスタ、組合せ回路)は、以下の条件を満たす必要がある。

条件1 内部のゲートが安定していないブロックには、次の入力遷移が生じない。

もし、内部のゲートが安定していない時に次の入力が入ってくると、安定していないゲートの出力信号線の値と、次の入力の信号線の変化が影響しあって誤った出力を生む可能性があるからである。

3.2 Mullerの遅延モデル

Mullerの提案した以下の遅延モデルを考える。

1. ゲート遅延は任意であるが有限である
2. 配線遅延はない

Mullerの遅延モデルは、ゲート遅延において「いつかは安定することしか述べていない。このため、十分な時間だけ待つことで回路の安定を保証することはできない。回路の安定を認識するためには、回路が安定して初めて出力遷移が完了するように回路を構成すればよい。また、前段の回路の安定は回路の入力遷移の完了を用いて認識されるため、回路は入力遷移の完了の後、出力遷移が完了すればことになる。故に、Mullerの遅延モデルの下で、条件1を満たすためには各ブロックは次の条件を満たせばよい。

条件2 ブロックは、入力遷移が完了し、かつ、回路が安定して初めて出力遷移が完了する

On delay assumption for 2-rail 2-phase data transfer in asynchronous processors

Tokuyasu Katayama, Kouji Kawabe, Yoshinori Yamamura, Takashi Nanya

Faculty of Engineering, Tokyo Institute of Technology

3.3 Muller の遅延モデルでの組合せ回路

ブロックのうち2相制御モジュールとレジスタは条件2を満たし、比較的ゲート数が少なく構成できる。しかし、条件2を満たす組合せ回路はゲート数が多くなる(図2)。この回路は、最小項のみを用いた AND-OR 2 段構成の AND ゲートを Muller の C 素子にかえたものである。AND ゲートを用いた場合、回路の入力がスペースから符号語に変化する時、条件2を満たす。それは、入力が符号語に遷移して初めて1つの AND ゲートが1になり、その影響で後段の OR ゲートが1に変化して、反転が期待されるすべてのゲートが反転してはじめて出力が符号語となるからである。しかし、符号語からスペースに変化する時は、入力がスペースに遷移する前に出力がスペースになるため、条件2を満たさない。符号語からスペースに遷移する際にも条件2を満たすため、図2の回路では、AND ゲートの代わりに C 素子を使用している。この方法では、入力遷移の

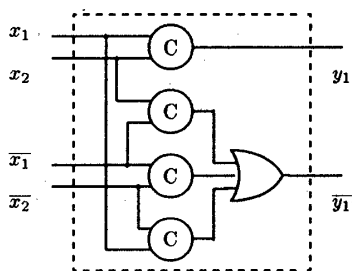


図2: C 素子を用いた組合せ回路

完了を C 素子で認識しているため、符号語の数だけの C 素子を必要とする。故に、入力数の増加にともなって組合せ回路のゲート数は指数関数的に増える。

4 ブロック遅延の条件

4.1 ブロック遅延とループ遅延

Muller の遅延モデルの下では、組合せ回路に条件2の性質を持たせれば十分であるが、その場合、ゲート数は非常に多くなる。現実には「ゲート遅延は任意」ではなく相対的な大きさに制限があると考えられる。そこで、Muller の遅延モデルにさらに制約を課したブロック遅延とループ遅延という考え方を導入する。

ブロック遅延 1つのブロックにおいて、入力変化がはじまってからブロック内のすべてのゲートが安定するまでの遅延

ループ遅延 1つのブロックにおいて、入力変化がはじまって、その信号変化が一周して、次に新たな入力遷移がはじまるまでの遅延

ブロックについて以下の条件を考える。

条件3 ブロックは、入力遷移が完了した後、はじめて出力遷移が完了する

条件3を満たすブロックは、「出力遷移が完了した時、ブロック内に安定しないゲートがあってもよいが、そのゲートの反転によりブロックの出力を変えることはない」という条件を満たす。この事実はブロック間の信号線の安定を保証するので、安定していないゲートの反転の影響はブロック内で閉じていることになる。よって、安定していないゲートの反転の影響で後段のブロックに安定していないゲートを生むことはない。

4.2 ブロック遅延の条件

2線式符号を用いる場合、組合せ回路は否定素子なしで構成される。このため、組合せ回路の内部にできる安定していないゲートの出力線は、スペースから符号語への入力遷移の際は0、符号語からスペースへの入力遷移の際は1となる。

1. 安定していないゲート出力値が0の場合

入出力が符号語に安定した時、出力値0を持つ安定していないゲートが存在する可能性がある。仮に、次のスペース入力の遷移が始まる時にこのゲートが安定していなくても、出力はスペースに遷移するため誤った符号語は出力されない。よって、定義1を満たす。

2. 安定していないゲート出力値が1の場合

入出力がスペースに安定した時、出力値1を持つ安定していないゲートが存在する可能性がある。次の符号語入力の遷移が始まる時にこのゲートが安定していないと、そのゲートの出力値1と符号語入力の信号線の0→1変化の影響で誤った符号語を出力する可能性がある。

安定していないゲート出力値が1の場合は、次の不等式が成り立てばよい。

$$(\text{ブロックの最大遅延時間}) < (\text{ループの最小遅延時間})$$

このループ遅延は、図1での acknowledge ↓、上位 acknowledge ↑ と信号変化が伝わり、他のレジスタ間転送処理を行った後、再びこのレジスタ間転送のための request ↑ するループの遅延である。さらに、ブロックが誤った符号語を出力するのは、前段のレジスタの符号語が更新された時である。よって、このループ遅延はかなり大きいといえる。

4.3 ブロック遅延モデルでの回路構成

ブロック遅延のモデルのもとでは、ブロックは条件3を満たすことが必要だけで、出力遷移が完了した時のブロックの安定を保証する必要はない。このような回路は、一般の2線式組合せ回路に条件3を満たすための回路が付加された図3の構成で実現できる。indicator とは、入力が2線式符号に遷移して初めて出力が1となり、入力がスペースに遷移して初めて出力が0となる回路である。後段の C 素子の回路は、2線式回路出力の1ビットごとに C 素子を用意して、indicator の出力変化をみてはじめて出力が伝わるようにした回路である。この回路構成のゲート数は、同期式組合せ回

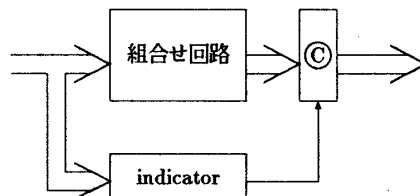


図3: 回路構成法の例

路の約2倍のゲート数を持つ2線式組合せ回路とわずかなゲート数の付加回路(indicator と後段の C 素子)で実現できる。

5 まとめ

2線2相式非同期式プロセッサを構成するため、まず、レジスタ間転送方式を示し、さらに、転送の遅延条件と組合せ回路ブロックの回路構成との関係について述べた。

なお、本研究の一部は文部省科学研究費補助金「02452156」によって行われたものである。

参考文献

- [1] 南谷 崇. 同期式プロセッサの限界と非同期式プロセッサの課題. 信学技報, FTS90-45, December 1990.
- [2] D. B. Armstrong, A. D. Friedman, and P. R. Menon. Design of asynchronous circuit assuming unbounded gate delays. *IEEE Trans. on Comput.*, C-18(12):1110-1120, December 1969.