

論理回路の時間最適化手法

2 J-6

竹田 信弘、原嶋 勝美、山内 順子、神戸 尚志

シャープ株式会社

1. はじめに

LSI技術の飛躍的な進歩に伴い短期間に高品質な製品の設計が必要となっているが、従来の熟練設計者による機能・論理設計では多大な時間を要し、LSI開発のボトルネックになっている。このような状況から、論理回路を自動合成する論理合成手法が研究されてきた¹⁾。論理回路を自動合成する場合、合成される回路規模と遅延時間とのトレードオフが重要となる。すなわち、高品質なLSIを設計するためには最適な回路規模、遅延時間を両立させなければならない。従来から提案されている時間最適化手法として、

- (1)論理式の簡単化において論理段数を制限する²⁾
 - (2)局所的最適化において、遅延時間を削減する³⁾
- があるが、(1)は正確な遅延時間の算出が困難であり、(2)は実現する回路テクノロジー毎に多くのルールを用意しなければならないという欠点がある。

我々は上記欠点を補うため局所最適化においてルールベースによるテクノロジーマッピングとアルゴリズムベースによる論理段数削減処理から構成される時間最適化手法を開発した⁴⁾。本手法では論理段数削減処理を行う部分回路の選択が重要である。本文では時間最適化の処理概要と部分回路の選択手法について述べる。

2. 処理概要

図1に処理の流れを示す⁴⁾。初めに、複合ゲート割り付け後の回路中の最大遅延経路(クリティカルパス)上に存在する部分回路を選択する。次に選択された部分回路を2段論理表現に展開し論理段数を削減する。さらに展開後の部分回路にゲート割付けを行う。これらの処理において、部分回路を選択した時点では複合ゲート等に割り付け済みであるため、正確な遅延時間の評価が可能である。また論理段数削減処理はアルゴリズムベースであるため、ルールベースより高速、低記憶容量で実行

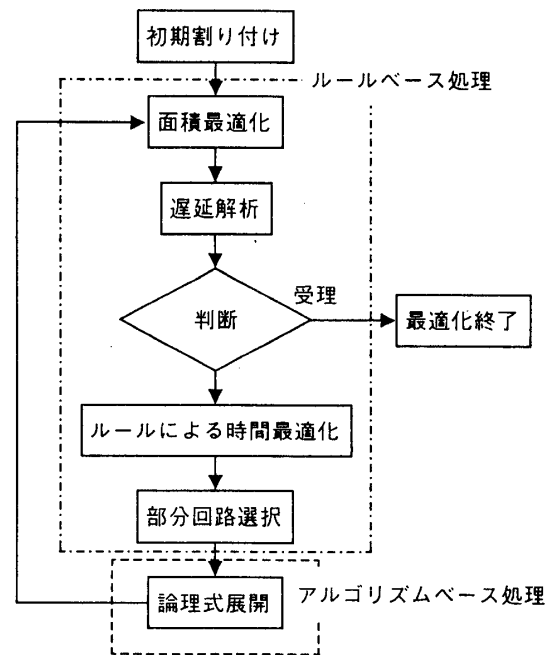


図1. 処理の流れ

できると同時に、テクノロジーに依存しない処理となっている。

3. 部分回路選択方法

論理式展開では部分回路の選択方法が重要である。まず論理式展開が有効であるためには論理段数が3段以上でなければならない。さらに論理式展開により別のクリティカルパスが新たに生成されにくい部分回路を選択しなければならない。そこで、いくつかの選択方法を試みた。

選択方法1) 分岐のないクリティカルパス上の部分回路(図2)

分岐がないため展開処理によるクリティカルパス以外の外部出力端子へのパスに及ぼす影響が少ない。

選択方法2) 分岐を含むクリティカルパス上の部分回路(図3)

選択方法1では選択範囲が狭すぎるため、途中で分岐を許す。クリティカルパス以外のパスに及ぼ

す影響を少なくするように回路変更を行うため、回路規模が増加する。

選択方法3) 選択するゲートの遅延の制限(図4)

選択方法1,2では、論理式展開により遅延が逆に増加する場合があるため、選択するゲートを制限した。(図4)

論理式展開では、外部出力端子寄りのゲートの入力信号からの遅延が増加し、外部入力端子寄りのゲートの入力信号からの遅延は減少する傾向にある。そこで、遅延に対する余裕度¹⁰⁾が大きいゲートが外部出力端子側のゲートとなるように部分回路を選択し、余裕度の小さいゲートが外部入力端子側のゲートとなるように部分回路を選択する。これにより、新たなクリティカルパスの生成を防ぎ、クリティカルパス以外の信号の遅延時間も改善可能である。

選択方法4) 選択するゲートの入力数の制限(図4)

選択方法3に加え外部出力端子側のゲートへの入力数を制限することで、遅延の増加するパスの生成が少なくなる。さらに、分岐のある場合には入力数により選択されるゲート規模が制限されるた

め面積の増加が抑えられる。

4. 実験結果

前述した選択方法を用いて論理式展開による時間最適化を実行した。用いた論理回路データはMCNCのベンチマーク回路である。表1に、実験結果を示す。面積最適化後と、各選択方法を用いた時間最適化後の回路規模および最大遅延を示す。

これらの結果から、展開の対象となる部分回路の選択において選択方法4に示した条件が有効であるといえる。

5. おわりに

本論文ではルールベース処理とアルゴリズムベースの手続き型処理を組み合わせた論理合成システムにおける時間最適化処理について述べ、その有効性を示した。今後の課題として、(1)部分回路選択において、ゲートの余裕度および入力数の最適な値の決定、(2)回路規模の増大に対応するため回路分割により処理対象の範囲を限定することを検討している。

参考文献

- [1]浅田邦博, 趙 慶録, 載 志堅: "VLSI向き論理合成と回路最適化手法の動向", 第3回回路とシステム軽井沢ワークショップ論文集, pp.57-66 (1990).
- [2]R.K.Brayton: "Algorithms for multi-level logic synthesis and optimization", in Design Systems for VLSI Circuit, ed G. De Micheli, A. Sangiovanni-Vincentelli, P. Antognetti, pp.197-247, Martinus Nijhoff Publishers (1987).
- [3]浅香俊治, 河原林正道, 前田直孝: "論理合成エキスパートシステムEXLOGにおけるタイミング最適化", 信学技報, VLD89-112 (1990).
- [4]三浦順子, 竹田信弘, 神戸尚志: "多段論理合成における時間最適化の一手法", 信学技報, VLD89-85 (1989).
- [5]R.B.Hitchcock, Sr.: "Timing verification and timing analysis program", Proc. 19th DAC, pp.594-604 (1982).

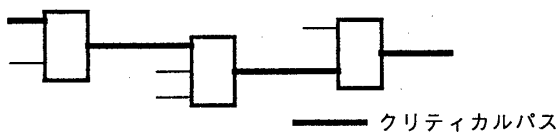


図2. 選択方法1

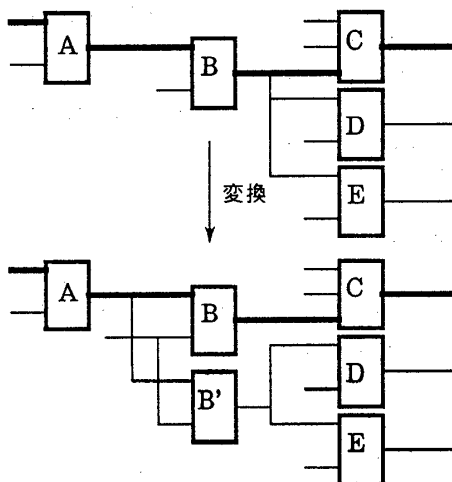


図3. 選択方法2

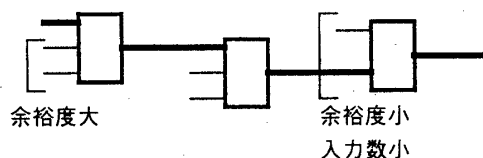


図4. 選択方法3,4

回路	面積最適化後	選択方法1	選択方法2	選択方法3	選択方法4
misex2	76.7	78.0	77.7	77.7	90.7
	9.70	8.53	8.29	8.29	6.75
sao2	119.7	122.0	132.7	131.0	131.0
	11.57	10.59	10.31	10.32	10.32
clip	147.3	153.7	153.7	160.3	152.3
	11.70	10.61	10.61	10.31	9.75
9sym	156.0	158.0	159.3	159.3	159.3
	12.92	12.45	12.60	12.60	12.60

表1 実験結果 上段:面積(2入力NAND換算) 下段:最大遅延時間(NS)