

ラップトップEWS SPARC LT

7H-4

(4) 表示制御方式

大島豊* 桑島耕太郎* 村上昌之**

*(株)東芝 情報通信システム技術研究所 ***(株)東芝 府中工場

1. はじめに

ラップトップ型パーソナルコンピュータはすでに一般的になってきた。しかしEWSの分野では未だにデスクトップ型が主流である。ラップトップ型EWSを実現するための問題としてはいくつかの理由が上げられるが、ディスプレイの部分における以下のような要因も大きい。

(1) 画素数

EWSの表示画面としては1024x1024ドットクラスのものが必要である。これは現在のパーソナルコンピュータの約4倍に相当する。このため、画素数の増加、画素ピッチの縮小、高輝度表示、ちらつき防止等の課題に付いて、ディスプレイモジュール、ディスプレイ制御部の双方に技術課題があった。

(2) 応答速度

EWSではマウスを多用したユーザーインターフェースが一般的である。ディスプレイの応答速度が遅い場合マウスカーソルを見失う場合がある。

このため応答速度として遅くても50msec以下のものが必要であった。これらの技術課題を解決して開発したラップトップEWS SPARC LTの表示制御方式に付いて述べる。

2. ディスプレイ・デバイスの概要

SPARC LTでは表示デバイスとしてLCDまたはELディスプレイを使用することができる。以下にこれらのディスプレイの概要を表す。

(1) LCDディスプレイ仕様

表示方式	TFD型アクティブマトリクスLCD
画素数	1152x900
ドットピッチ	0.21 mm x 0.21 mm
デューティー比	1/450
応答速度	標準45ms
フレーム周波数	約69Hz
インターフェース	16ビットパラレル

(2) ELディスプレイ仕様

表示方式	エレクトロ・ルミネッセンス(EL)
画素数	1152x900
ドットピッチ	0.20mm x 0.20mm
デューティー比	1/450

応答速度	標準2ms
フレーム周波数	約69Hz
インターフェース	16ビットパラレル

3. ディスプレイ・デバイスとのインターフェース

上記のようにLCDとELのインターフェースは、タイミングは若干異なるがほぼ同一の仕様に合わせた。解像度はともに1152x900ドットと高解像度である。EL、LCDのいずれも画面の保持能力はないため、一定のフレーム周期で画面をリフレッシュしなければならない。蛍光灯などの干渉を避けることも考慮して約69Hzに設定した。画面のリフレッシュは水平ライン単位で行われるため、一画素当りの駆動時間はさらにその900分の1になってしまい、画面の輝度が低下する。また、液晶やELパネルの駆動LSIも、一度に900ラインを駆動することは現状では不可能であった。そこで、画面を上下2分割しそれぞれに別々の駆動素子を設け上下の画面を同時にスキャンする方式をとった(図1)。これにより一画素の駆動時間も450分の1となり、画面の輝度を向上させることができた。本方式ではインターフェース信号は画面上下用にそれぞれ8ビットのデータを同時に必要とする。これらの信号の他にラインパルス、フレームパルス等のタイミング信号を必要とする。SPARC LTではこれらの信号を表示制御LSIより、ディスプレイモジュールに直接出力している。ELとLCDを容易に選択できるように、ディスプレイモジュールとEWS本体は分離可能とした。若干の電気的な仕様の違いについ

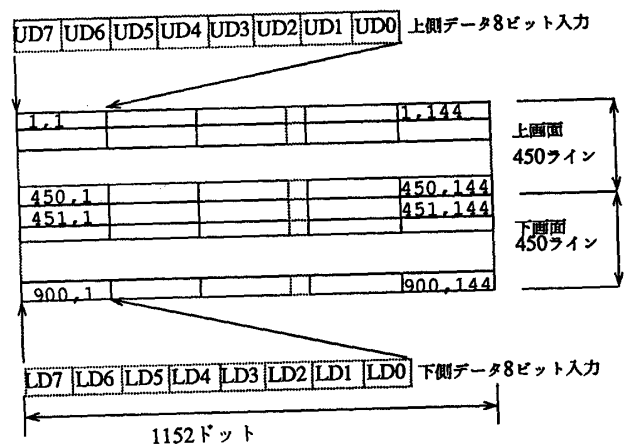


図1 ディスプレイ・データマップ

Laptop Workstation SPARC LT Display System

Yutaka OSHIMA, Koutarou KUWASHIMA, Masayuki MURAKAMI

* TOSHIBA CORP. INFORMATION AND COMMUNICATION SYSTEMS LABORATORY

** TOSHIBA COPR. FUCHU WORKS

ては、ディスプレイモジュール内の、EL、LCDそれぞれ用の小型のアダプタ基板によって吸収した。

4. 表示制御方式の特徴

表示制御部の開発に当たっては画面の描画速度を第一優先にした上で、さらに以下の点についても考慮して設計を行った。

- ・ 上下2分割ディスプレイのインタフェースに対応

前記インタフェースに合わせて、ビデオRAMのデータ構造を検討し、ビデオRAMの構造を活かして、コンパクトに実装可能な方式を設計した。

- ・ EL/LCDの両方のディスプレイに対応

ELとLCDのタイミング仕様を可能な限り合せ、異なる部分についてはLSIに2つのディスプレイに対応したモードを持たせ、モードピンによって切り替える。ディスプレイモジュールを付け替えることにより、モードピンが変化し、ディスプレイを自動的に識別できるようにした。

- ・ ソフトウェアに対するリニアなアドレス空間

ソフトウェアの互換性と拡張性を考慮して、フレームメモリは主メモリと同様なリニアなアドレス空間とした。これにより既存のソフトウェアがそのまま使用することができた。

上側データと画面下側のデータが交互に出力されることになる。これを表示制御LSIの出力データバッファに取り込み上下8ビットに揃えた後にディスプレイデバイスに出力する。VRAMデータの取り込みとディスプレイへの出力はパイプライン的に行い、VARMからのシリアルデータを8ビット単位で8回読みだし、この間に16ビットデータを4回出力する。

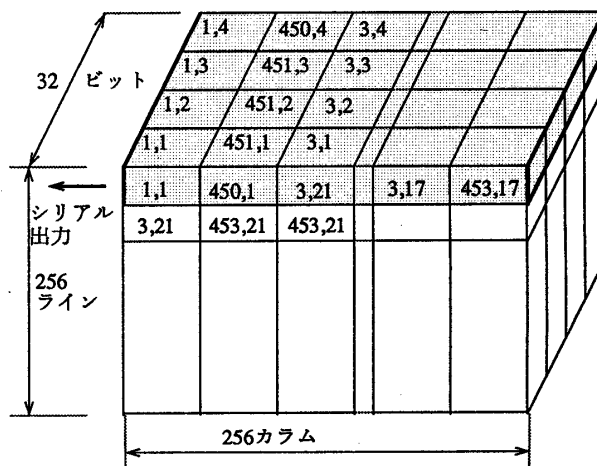


図3 VRAM データマップ

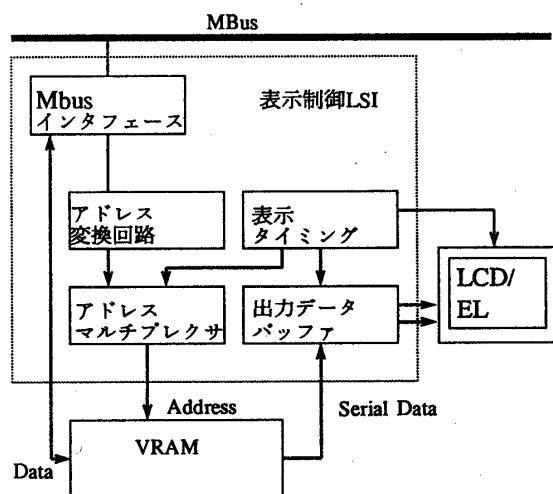


図2 表示制御ブロックの構成

5. VRAMの制御方式

図3にVRAM制御方式の概念図を表す。VRAMは256行x256桁x4ビットの構造をもち、4ビットx256段のシリアル出力レジスタを持つ。CPUからのリード/ライトデータはVRAMの1ワード(32ビット)おきに画面の上側と下側のデータを交互に格納するようにした。このために表示制御LSIにアドレス比較回路とアドレスシフト回路を持ち、CPUが画面中央のアドレス(1152x450/8番地)以前のアドレスにアクセスした場合、VRAMの偶数ワードをアクセスし、画面中央アドレス以降をアクセスした場合はVRAMの奇数ワードにアクセスする。この構成によりシリアル出力レジスタからは32ビット単位に画面

6. 問題点と対策

前記構成を実現する上で以下のような問題について対策を行った。

- (1) VRAMおよびディスプレイ・デバイスの直接駆動

コンパクトに実装するために表示制御LSIは1チップで実現しMbus,VRAM,ディスプレイ・デバイスに直結した。LSIとしてはピン間0.5mmの208ピンプラスチックQFPを採用し、VRAMの直接ドライブ信号はスルーレート制御IOセルを使用し、同時スイッチング時のノイズを低減し、安定動作、EMIノイズの低下を図った。

- (2) 表示データ転送時、リフレッシュ時のMbus解放

VRAMの表示データの転送時及びリフレッシュ時にはCPUからのランダムアクセスが待たされる。この時CPUがウェイトしてMbusが占有されるのを防ぐため、このような場合には表示制御LSIはMbusのリリンクイッシュ&リトライ応答を行い、CPUが一旦Mbusを切り放した後再びアクセスするようにした。これによりCPUによるバス占有時間を短縮し、高速DMAなどがMbusを最小時間で獲得できるようにした。

7. おわりに

SPARC LTにおける表示制御方式について述べた。SPARC LTの表示画面はモノクロ画面であるが、今後は階調表示及びカラー表示についても必要となってくるであろう。このような場合には今以上の、高速描画、低コスト、コンパクト設計技術が必要になってくる。

SPARC はSun Microsystems社の商標。