

7H-3

ラップトップEWS SPARC LT
(3)入出力制御

五十嵐 強* 高阪 敬史**

*(株)東芝 情報通信システム技術研究所 ** (株)東芝 府中工場

1. はじめに

SPARC LTの入出力機器 (IO) の全てはIOBusと呼ばれる非同期のバスに接続されている。

IOBusはアドレス16bit, データ16bit, 各IOのチップセレクト信号、ライト信号、リード信号などで構成するバスである。

このバスはNon DMA 機器とEWSとしては必須であるハードディスク装置 (SCSI), EthernetなどのDMA 機器の双方を接続している。

IOBus, DMA, Ethernetなどの全ての制御はIBC (IO Bus Controller) と呼ばれるGAで行っている。IBCはSPARC LTのシステムバスであるMbus に接続されていてMbus, IOBusのバスインタフェースの役割をしている。

本報告では IOBusのアーキテクチャ、DMA制御、Ethernet制御について述べる。

2. IOBusアーキテクチャ

IOBusは前述のように全てのIOが接続している。IOBusと各IOとの接続を図1に示す。各IOはそれぞれの特徴もっていて、例えばEPROM, RTC, IDROMなどは他のIOと比較してアドレスビットが多い点である。SCSI, FDDはDMAを行うIOである。EthernetはDMAを行うIOであるがSCSI, FDDとは制御方法が異なる。

このようにIO全てに対し独立した制御が必要となる。ここではIOBusの特徴について報告する。

2.1 IOのアクセスタイム

各IOのアクセスタイムはアクセスタイムレジスタで決定する。このレジスタは各IOグループごとに存在する。(図1のA, B, C, Dで示す) このレジスタで設定できる範囲は0-15までである。この設定によりIOW, IORの時間が変化する。このレジスタを設けることによりシステムのクロック周波数が変化した場合またはアクセスタイムの違うIOを選択した場合でもこのレジスタの内容を目的の値に設定することで対処できる。

2.2 IOBusの変化

IOBusのアドレス、データはアクセスするIOによって変化する。これは前述で説明したようにEPROM, CLOCK, IDROMは通常のIOよりアドレス空間が広く、16bitのアドレス空間では足りなくなる。またEthernetのDMA転送はメモリ管理のコントロールをEthernetのLSIが行うため、DMA転送時一時的にデータバスがアドレスの下位ビットとなる。このようにアクセスするIOごとにIOBusは変化する。(図2参照)

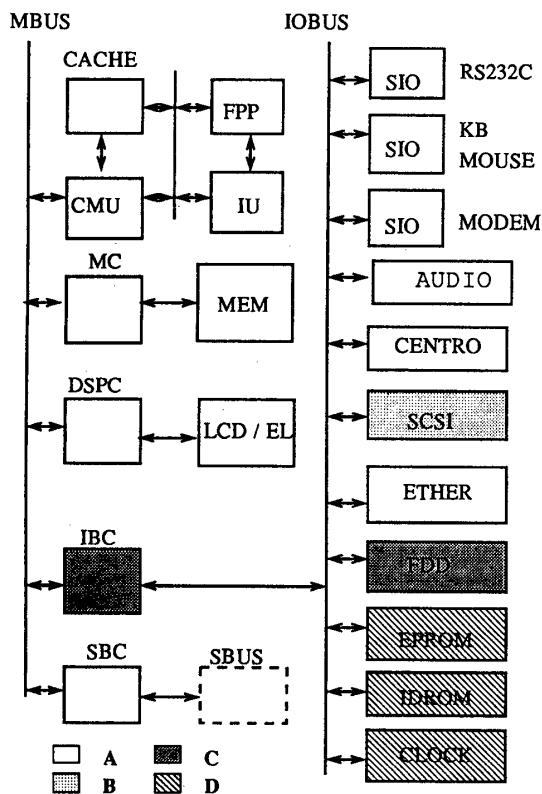


図1 SPARC LT 全体ブロック

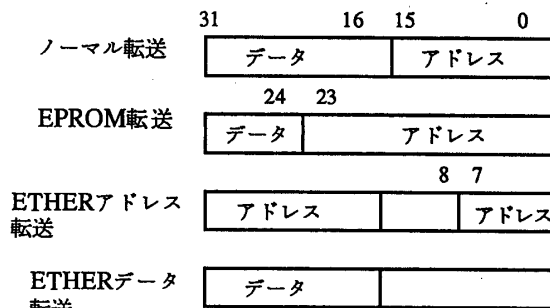


図2 IOBusの変化

Laptop Workstation SPARC LT Input/Output System

* Tsuyoshi IGARASHI ** Takashi KOSAKA

* TOSHIBA CORP. INFORMATION AND COMMUNICATION SYSTEMS LABORATORY

**TOSHIBA CORP. FUCHU WORKS

2.3 IOBusのアビトレーション

IOBusにはCPUからアクセスされるIOとDMA転送を行うIOの2種類が接続されているためにこれらマスタからのデータ転送要求に対するアビトレーションが必要となる。アビトレーションの方式としては固定優先の方式を採用した。

3. DMAの制御

SPARC LTのDMA機器はハードディスク装置 (SCSI) とFDD装置とがある。

これらのDMA機器はIBCの中で独立して動作をする。

IBCの中にはDMAに必要な転送アドレス、ブロックカウンタ、転送コマンド等のパラメータレジスタを持ち、これらにプログラムでデータをセットすることでDMA転送を行っている。

3.1 DMAチェイン制御

SPARC LTのシステムバスであるMbusは物理アドレスのバスである。しかしソフトウェアは全て論理アドレスで動作を行っている。このため論理アドレスでは連続するメモリアドレスが物理アドレスでは連続しない場合が発生する。この問題を解決するためにSPARC LTではソフトウェアによるDMAのチェイン方式を採用した。(図3参照)

この方式は前述のパラメータレジスタを2組持ち、1組 (REG1) は実際のデータ転送に使用し、他の1組 (REG2) は次データ転送のためのパラメータを保持している。DMAチェインのタイミングはREG1のブロックカウンタの値が'0'になることで行う。この時REG2の内容がREG1にコピーされ、DMA転送が連続に行われる。またREG2のコマンドレジスタの内容がチェインの要求コマンドの場合はパラメータ要求の割り込みとステータスをセットする。これによりソフトウェアは次のパラメータをREG2にセットできる。

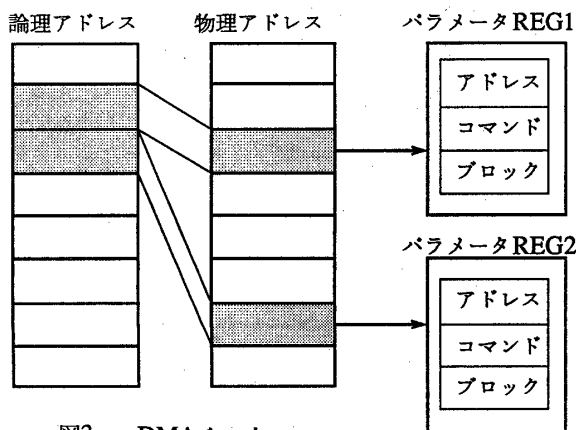


図3 DMAチェイン

3.2 ダブルワードバウンダリ制御

ソフトウェアがDMA機器とメモリとのデータ転送を行う場合スタートアドレスとエンドアドレスは任意のアドレスを指定する。ところがSPARC LTで使用しているMbusは64bitのデータバスで、1回のデータ転送で8, 4, 2, 1byteのデータ転送モードしか許していない。この結果最初のデータ転送と最後のデータ転送においてMbusの転送モードに合わない端数バイトの転送が必要になってくる。この問題をSPARC LTでは2段バッファを用い、端数の転送を1byte転送をすることで解決した。(図4参照)

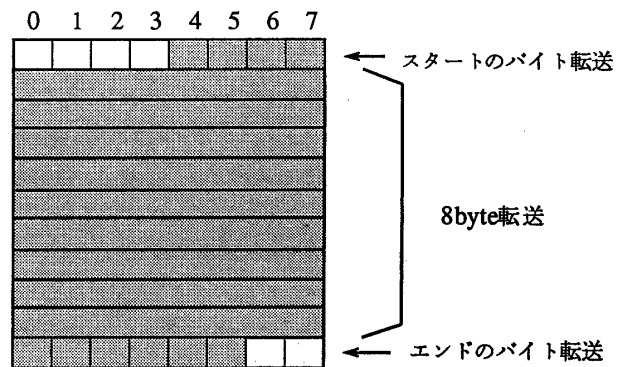


図4 ダブルワードバウンダリ制御

4. Ethernetコントローラの制御

EthernetコントローラのDMA転送は一般のDMA機器と異なり、コントローラがメインメモリ上に格納しているパラメータをリードして行っている。このためIBCは一般のDMA機器のようなパラメータを持たない。すなわちIBCはバスインタフェースの役割をしている。

5. おわりに

本報告ではIOBusのアーキテクチャ、DMA制御、Ethernet制御について述べた。SPARC LTではこれらの制御をIBCと呼ばれるGA 1個で実現している。

IBCはこのほかにシステムバスであるMbusのアビトレーション、割り込みコントローラ等もサポートしており、SPARC LTのシステム用GAに位置づけられる。このように多機能をGAに凝縮した結果部品の削減、ローコスト化をはかることができた。

SPARCはSun Microsystems社の商標

EthernetはXerox社の登録商標