

ラップトップ EWS SPARC LT

7H-2

(2)アーキテクチャ

長谷部 恒規 万代 慶昭 佐野 義信

*(株)東芝 情報通信システム技術研究所

1. はじめに

SPARC LTはRISCプロセッサを使用したラップトップEWSである。小型で使い易いラップトップに、デスクトップに劣らない性能、機能及び拡張性を実現する事が、基本的な開発コンセプトであった。また、標準的なソフトウェアとハードウェアに準拠し、既存及び今後開発されるソフトウェア、ハードウェアがそのまま利用できるような互換性の装備も重要なポイントであった。

さらにSPARC LTではラップトップに実装するために、アーキテクチャの検討のほかに実際の回路設計上でも、コンパクト設計、低消費電力、低EMIノイズなどの技術課題があった。

本稿では、SPARC LTのハードウェア・アーキテクチャとハードウェア構成の概要を述べ、高速化、コンパクト化技術について報告する。

2. アーキテクチャの特徴

SPARC LTのアーキテクチャはRISCプロセッサの高性能を損なうことなく、コンパクトに実現することを第一のポイントに設計した。以下にその特徴を述べる。

(1) CPUの動作を可能な限り止めない。

これを基にキャッシュメモリ、システムバス、主メモリ、

DMA方式などの性能、使用率等を検討し、それらの方式を決定した。システムバスとCPUバス、IOバス及び拡張バスを分離し、それぞれが独立して動作するようした。また、バス変換をバッファなどで高速化し、オーバーヘッドを最小限におさえた。これにより各ブロックがパイプライン的に或いは並列に動作し、システム性能を上げることが出来た。

(2) 徹底したLSI化を図る。

高速動作とコンパクト実装を達成するために、可能な限りLSI内部に回路を取り込むように工夫した。LSIの機能分担と、論理分割を効率良く行い、限られたLSI内部に全ての制御回路を盛り込むことが出来た。また、高速周波数で動作する部分を限られた範囲に纏めることにより、発熱、ノイズ対策などの対象を絞ることが容易になった。

(3) ハード、ソフトの標準を採用し互換性を装備する。

プロセッサ、システムバス、拡張バス、ネットワーク、拡張周辺デバイスなどに、標準を採用し、ソフトウェアとハードウェアの互換性、接続性を高めることができた。

3. SPARC LTのハードウェア構成

図1にSPARC LTのハードウェア構成を示し、以下にその主な実現技術について述べる。

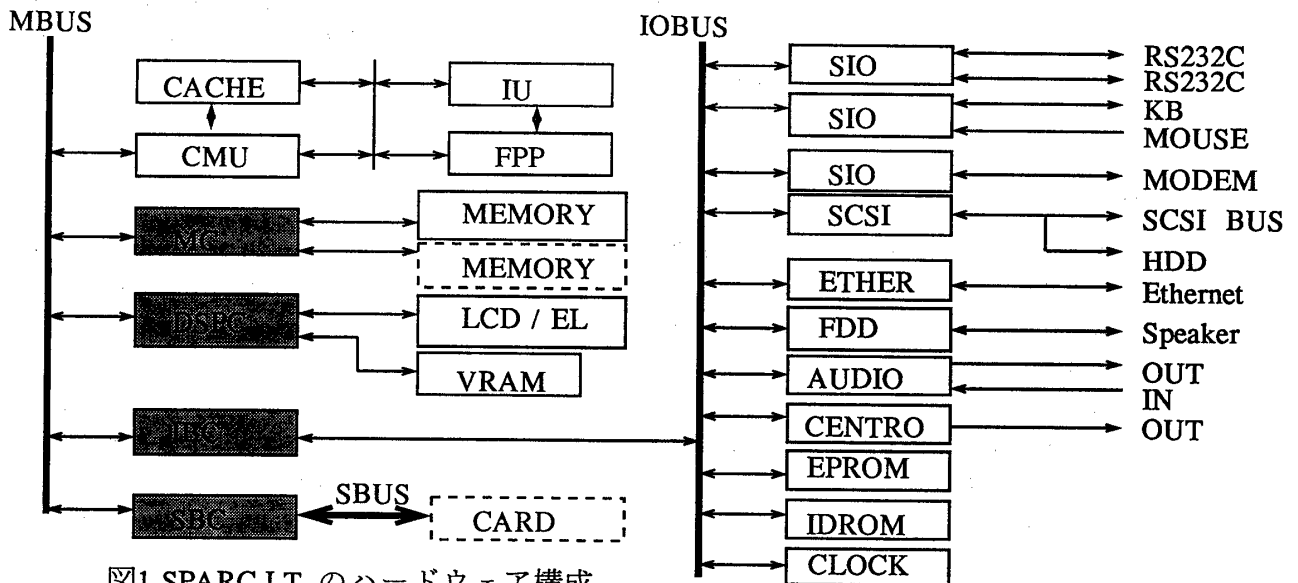


図1 SPARC LT のハードウェア構成

Laptop Workstation SPARC LT Hardware Architecture

Kohki HASEBE Yoshiaki BANDAI Yoshinobu SANO

* TOSHIBA CORP. INFORMATION AND COMMUNICATION SYSTEMS LABORATORY

3.1 CPU

SPARC LTはCPUにRISCプロセッサであるSPARCを採用した。これにより、13.2MIPSという高性能を実現し、また現在と将来のソフトウェアのバイナリ互換性を保証した。RISCプロセッサの高性能を引き出すためには大容量のキャッシュメモリが必要である。SPARC LTでは256Kビット高速SRAMを使用して64Kバイトのキャッシュメモリをコンパクトに実現した。キャッシュ方式はライトスルー方式である。ライトスルー方式ではCPUの書き込み動作の度にメモリへの書き込みが発生する。この時メモリへの書き込み動作が終了するまでCPUの動作が止まることの無いように、メモリ管理ユニット内に64ビットx4段のライトバッファを持つ。これによりメモリへの書き込みと、CPUの動作を並行して実行することが可能である。またキャッシュメモリの入れ替えはバースト転送で行うことにより、キャッシュミス時のキャッシュ入れ替え時間を短縮し高速化を図った。

メモリ管理機構の方式はOSを実装する上で非常に重要である。OS内部の事前調査によって、メモリ管理機構についてはOSカーネル内部で対応可能なことが判明した。SPARC LTでは64エントリのTLB(Translation Lookaside Buffer)方式を採用した。TLBは、キャッシュタグメモリとともに、キャッシュコントローラ/メモリ管理ユニットLSI(CMU)に内蔵することによりコンパクトな実装が可能になった。

3.2 高速システムバスと主メモリ

システムバスにはMBusを採用し周辺コントロールLSIをMBusに直結する構成を取った。MBusはSun Microsystems社が提唱する高速バスである。RISCプロセッサなどの高速プロセッサに適した高性能バスであり、将来のマルチプロセッサ・システムにも対応している。以下にMBusの特徴を記す。

- ・ 36ビット物理アドレス /64ビットデータ多重
- ・ バースト転送可能
- ・ 完全同期式バス
- ・ マルチマスター可能
- ・ 最大転送速度 160MB/sec (20MHz)

MBusはLSI直結バスである。MBusに直結するために各コントロールLSIの端子信号が増えたため、これらのLSIはピン間0.5mmピッチの208ピンプラスチックQFPパッケージを採用した。LSIは1.2 μ mルールのCMOSゲートアレイである。

SPARC LTのメモリシステムは、メモリコントロールLSIを介してMBusに接続する。キャッシュメモリの入れ替えを高速に行うために、主メモリは64ビット幅で構成し、スタックカラムメモリを採用してバースト転送をサポートした。

主メモリはキャッシュ入れ替えの他、高速DMAなどの為に16バイト、32バイト、64バイト、128バイトのバースト転送が可能である。

3.3 I/Oとディスプレイ

図1に示すようにEWSとして必要な周辺デバイスは全て装備した。周辺デバイス用のインタフェースLSIは、すべてIOコントロールLSIに直結し、無駄な中小規模ICを削減した。

IOコントロールLSIは内部に2チャンネルのDMAコントローラを内蔵し、CPUの介在無しにMBus上で直接周辺デバイスと主メモリ間のデータ転送を行う。DMAコントローラは8ビットまたは16ビットのデータを64ビットにパック、アンパック可能であり、高速転送とバスの占有時間の削減を図った。またブートプログラムは8ビット幅のEPROMに格納しこれを32ビットにパッキングしてCPUに渡している。これによりEPROMの実装面積を減らした。

表示制御は2ポートVRAMを使用した。LCD及びELのインターフェースは画面を上下2分割してそれぞれ8ビットのパラレルデータ転送が必要であったが、これに合わせるために表示制御LSIによってアドレス変換とデータ変換を行い、LSIとVRAMだけで回路を構成しコンパクト化を図った。

4. 高速回路の問題点と対策

本ワークステーションの基本クロックは20MHzである。周辺デバイス制御用の汎用LSI以外のすべてのLSIは20MHzで動作し、データ転送を行っている。このため以下のような問題に対し対策が必要であった。

- (1)高速安定動作
- (2)EMIノイズ対策
- (3)低消費電力

これらに対して

クロック信号をプリント基板の内層に配線し、その両側を電源層、GND層で挟む構造にしEMIノイズ対策を行い、また、各LSIに対しクロックスキューが最小になるように優先して配線した。

MBus、CPUバスなどの高速多信号バスも、同様に内層に配線し、EMIノイズを抑えるようにした。

LSIはスルーレートコントロール付きのIOセルを多用し、同時スイッチングによる誤動作の排除、EMIノイズの低減を図った。また、常時動作する必要のない回路は必要ときだけ動作するように構成し低消費電力化を図った。

5. おわりに

以上のような手法により、RISCチップを使用したラップトップEWSを実現した。今後プロセッサの性能はさらに向上し、動作スピードも50MHz以上に高速化されていく。従って高速安定動作、消費電力低減、ノイズ対策、高密度実装等の技術の向上がますます必要となってくる。