

バス分離方式に関する評価方法の一検討

5H-5

松下電器産業(株) 情報通信関西研究所
高橋 一徳 神山 祐史 出口 雅士

1. はじめに

プロセッサの高性能化により、メモリとプロセッサ間のバストラフィックが増大し、高性能化に対応したバス帯域の確保が大きな問題になっている。この問題を解決するために、キャッシュを用いてメモリに対するバスアクセスの頻度を下げる方法、命令(I)とデータ(D)のバスを分離(I/D分離)する方法で対処している。命令とデータを共用する(I/D共用)場合と、同一のバス資源でI/D分離した場合において、両者の間では条件によって性能の優劣が発生する。従ってこの優劣の境界を定量的に評価できる指標(I/D分離指標)が必要となる。本稿では、I/D共用とI/D分離における性能の境界を示す指標を提案し、評価結果を報告する。

2. バス分離方式の評価方法

Nビットのデータバス(I/D共用)を有するプロセッサ(CPU)に対して、バス資源を増大させず(CPUの内部アーキテクチャは同じ)にNビットのデータバスを命令専用バスとデータ専用バスに分離したモデルを用いる。また、評価対象のメモリ自身の基本性能(kクロックアクセス)は同じであるとする。本モデルの場合、Nビットの命令,データを得るのに複数回のバスアクセスを必要とするが、1回目はkクロックでアクセスし、2回目以降は $a(<k)$ クロックでアクセスできるものとする。このことを利用して実質的にメモリ速度を向上させることによりバスアクセスを高速化でき、I/D分離方式におけるCPUの性能は向上する。

I/D分離方式として本モデルを用い、I/D共用方式と性能比較した場合の優劣の境界を示す指標について以降に述べる。

3. I/D分離指標

CPUの性能をn個の命令(命令:データ出現頻度= $n:1$ の場合)を実行するのに要するクロック数で表現する。ここで、必要となるパラメータは、CPUの性能 c (CPI:Clock Per Instruction), I/D共用時のバスアクセスクロック数 k , I/D分離時のバスアクセスクロック数 $k+a$ である。また、Nビットのデータバスの構成は命令N/2ビット,データN/2ビットとする。

I/D共用の場合とI/D分離の場合について、バスアクセス時間とCPU内部処理時間(実行クロック数)を表1に示す。I/D分離の場合、一般的にデータアクセスよりも命令アクセスの方が多いため、命令アクセス時間がバスアクセス時間になる(式(3))。

表1で示した式(1)~(4)がバスアクセス時間またはCPU内部処理時間によるCPU全体の性能評価を示す式になる。CPIが次式(5)(6)を満たすときはバスアクセス時間が、それ以外のときはCPU内部処理時間がCPUの性能に直接影響する。

$$\text{共用: } c < k \quad (5)$$

$$\text{分離: } c < (1-1/n)(k+a) \quad (6)$$

本稿ではI/D共用,I/D分離に対する評価を行うため、バスアクセス時間(式(1),(3))が直接影響する場合について考察する。

表1. n命令実行クロック数

	バスアクセス時間 [clk]	CPU内部処理時間 [clk]
I/D共用	$k(n+1)$ (1)	$nc + k$ (2)
I/D分離	$n(k+a)$ (3)	$nc + (k+a)$ (4)

A Study of an Evaluation method for Bus Split Architecture

Kazunori TAKAHASHI, Hiroshi KAMIYAMA, Masashi DEGUCHI

Kansai Information and Communications Research Laboratory, Matsushita Electric Industrial Co., Ltd.

バスアクセス時間による性能評価式で用いたパラメータによってI/D共用,I/D分離による性能の優劣を決めることができる。

I/D分離がI/D共用よりも性能が向上する条件を式(1),(3)を用いて求める。

$$n(k+a) < k(n+1)$$

$$\therefore k > an \quad (7)$$

式(7)がI/D分離指標となる。式(7)を満たす場合にI/D分離の方がI/D共用よりも有利になる。

4. 指標の有効性の検証

指標の有効性を検証するためにモデルを用いて実際に評価を行った。モデルとしては、32ビットマイクロプロセッサMN10400(CPI=2.5)*[1]を用いてI/D分離に対する評価を行った。ワークベンチとしてDhrystone1.1(n=3)を用いた。

この条件(c=2.5,n=3)で式(7)を図示すると図1(a=1の場合)のようになる。kはnの一次関数で表現され直線の上部がI/D分離が有利になる部分であり、下部がI/D共用が有利になる部分である。ここでk<3の場合はCPIが小のときの条件(式(5),(6))が成立せず、I/D共用が有利になる。

例えばこの場合はバスサイクルkが3以上の場合にはバスを分離した方が共用の場合よりも性能が良くなることを示している。

実際にMN10400のI/D分離モデルを構築してシミュレーション(20MHz,キャッシュ未使用)を行い確認した。32ビットのデータバス(I/D共用)を有しているMN10400に対して、16ビット/16ビットのI/D分離を行った。CPUの内部は32ビットアーキテクチャであり、16ビットの命令、

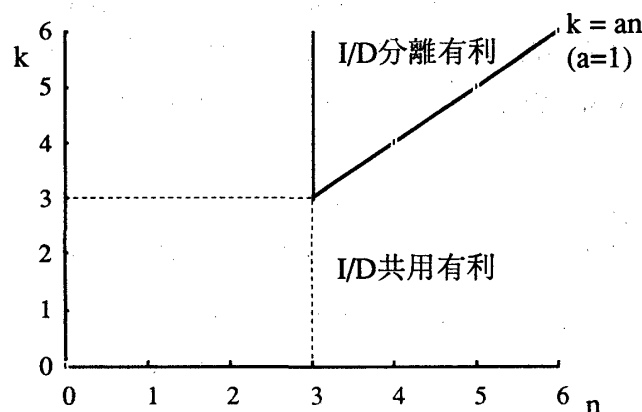


図1. I/D分離指標式による性能境界

データを2回アクセスして32ビットの命令,データを組み立ててCPU内部に取り込む構成にした1回目の16ビットアクセスにkクロック、2回目のアクセスにaクロックでデータを内部に供給するものとする。

図2はI/D共用,I/D分離(a=1, 2)の場合におけるバスアクセスクロックkに対する性能を示す図である。k=1の場合のI/D共用の性能を1としている。

図2からk>3のときは、I/D分離(a=1)の方がI/D共用よりも性能が良いことがわかる。これは図1から予想される結果(n=3,a=1の場合k>3でI/D分離が有利)と一致している。

また、k>6のときは、I/D分離(a=2)の方がI/D共用よりも性能が良いことがわかる。(式(5)と一致)。

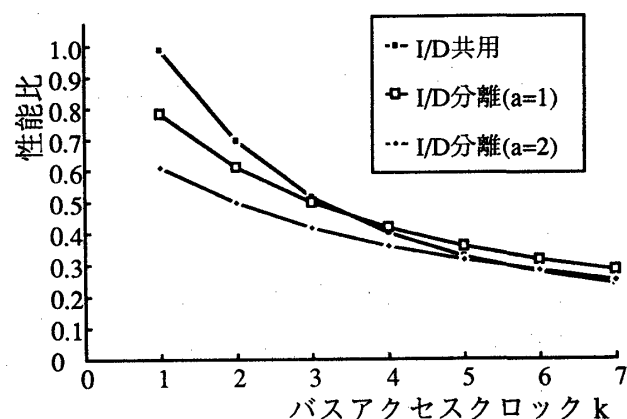


図2. MN10400による評価結果

5. まとめ

バスのI/D分離に関する考察を行った。Nビットのデータバス(I/D共用)を有するプロセッサに対して、I/D分離(N/2ビットずつ)を行う。パラメータとして、データアクセス時間k, I/D分離によりペナルティとなるデータアクセス時間a, 命令:データ出現頻度=n:1を設定すると、k>anの関係が成立するときI/D分離により性能が向上することを検証した。これはCPUを設計する際の一つの指標となると考える

今後の課題は、命令/データのバス配分の変化や、命令/データの出現頻度が異なるプログラムに対する評価を行うことである。

参考文献

*[1] 「実記憶32ビットマイクロプロセッサMN10400」 清原他、第6回トロン技術研究会(1990)