

プラスチック・ハード・マクロ技術による 低消費電力算術演算器

灌 和 男[†] 北 村 清 志^{††}

エネルギー遅延積の十分小さい「高速・低消費電力」の算術演算器 IP を実現する手法であると同時に、同 IP の移植性・再利用性を高めるための手法として「プラスチック・ハード・マクロ技術」を提案し、設計の実例を報告する。演算器機能とビット構成、動作速度レンジ、動作電圧などによってエネルギー遅延積が最良になるアーキテクチャが異なることからそれをデザインパターンテンプレートとしてあらかじめ分類整理し、パターンごとに以下の最適化設計を経て高速・低消費電力の算術演算器 IP を構成する。すなわち、機能ブロックの回路設計/論理設計と、要素として用いるセルのレイアウト設計/トランジスタサイジングと、さらにセルの配置設計を並行させて相互協調による最適化を行い、極力設計の無駄を省くことによりエネルギー遅延積を削減する。設計結果は、シンボリックレイアウト記述されたセルと、相互接続のネットリスト、セル配置情報、配線情報からなる。シンボリックレイアウト記述に対して製造プロセスパラメータを与えレイアウト合成することで、容易にプロセス間移植が実現される。ツールの概要についても報告する。実際に低消費電力・高速 16 ビット乗算器を本技術により実現し、5 種のプロセスに移植した。従来設計に比べて、消費電力およびエネルギー遅延積で 50%前後の改善が得られ、移植性も良好であった。

Low Power Consumption Arithmetic Units in the “Plastic Hard Macro Technology”

KAZUO TAKI[†] and KIYOSHI KITAMURA^{††}

A design methodology/porting methodology for high-speed and low power arithmetic units library is proposed, which is called the “Plastic Hard Macro Technology”. The key design feature is co-operating design optimization among circuit (netlist) design, cell design, and layout design. A primary target is significant reduction of the energy-delay product. A dedicated symbolic layout tool helps the cell design and porting to different processes. A 16-bit multiplier is designed for an example and ported to five different processes. Approximately 50% ED product reduction is attained, which is compared with conventional multiplier design. Very small porting cost is also realized.

1. はじめに

近年になってマルチメディアや情報家電に用いるシステム LSI の開発が活発になっている。これらの LSI では、乗算器、加算器、積和演算器などの算術演算器を数多く使用することが特徴であり、また必要とされる演算器の構成、ビット幅も多様である。これらの演算器を設計する方法として、HDL 記述ののち論理合成する方法が一般に用いられている。カスタム設計されない主な理由として、1 個の LSI で必要とされる

演算器の種類が多いこと、許される開発期間が短いこと、演算器以外の機能と混在させてレイアウトしたい要求があること、などが考えられる。

一方で上述のシステム LSI では、パッケージコスト低減のための低消費電力化、電池駆動用の低消費電力化、原価低減のための小チップ面積化、などが要求される。しかしながら、設計に論理合成を用いる限り、演算器部分の低消費電力化、小面積化を行おうとしても、アーキテクチャ上の工夫をする以外にはあまり方法がない。

[†] 神戸大学工学部情報知能工学科
Department of Computer and Systems Engineering,
Faculty of Engineering, Kobe University

^{††} エイ・アイ・エル株式会社
AIL Co., Ltd.

カスタム設計とは、ここでは、すべて標準の自動化ツールによるのではなく、人手設計ないし人手を多く介入させた設計手法や特別のツールを用いて、より高速動作可能なあるいは小面積の設計結果を実現すること、としておく。一般に時間がかり設計コストも大きい。6 章の議論も参照されたい。

市販の論理合成ツールを用いて算術演算器を設計した結果は、カスタム設計に比べて性能と面積の面で劣るのが普通である。そうなる主な理由は次のように考えられる。

- (1) 要求されるビット幅、性能に対して、必ずしも最適なアーキテクチャの演算器が合成されていない。
- (2) 論理合成では仮の配線負荷容量を用いるため、注意深い最適化に比べると、不必要に大きい負荷遅延を見積もって最適化を実行したり、不必要に駆動力の大きいセルを割り当てたりする無駄がある。
- (3) 使用するセルライブラリは汎用のため、特定演算器用に最適化されたセルに比べ、遅延、電力で劣る。
- (4) 論理合成結果は自動レイアウトするのが普通であり、配置を細かく調整して性能最適化することは行われぬ。ネットの理解の難しさ、手間の大きさが理由であろう。
- (5) 汎用セルを用いるため、カスタム設計に比べるとどうしても面積が大きくなる。

以上の理由で、カスタム設計の方が性能と面積で優位になるが、設計コストの大きいことが最大の難点である。

本稿では、上記の問題をほぼ解決しつつ多様な算術演算器への要求を満足させ、さらに設計の柔軟性と利用の簡便性を実現する手法として「プラスチック・ハード・マクロ技術」を提案する。これは、ハード・マクロなみに性能の高い算術演算器 IP のライブラリ化とその移植容易化に関する技術の総称である。実例として 16 ビット乗算器の事例を紹介し、その性能評価結果についても述べる。

2 章では、エネルギー遅延積の十分小さい「高速・低消費電力」の算術演算器 IP を設計する手法であると同時に、IP の移植性・再利用性を高めるための手法として「プラスチック・ハード・マクロ技術」を提案する。3 章では、上記の要素技術をなす小面積セル設計技術、低 ED 積セル設計技術について述べる。4 章では、上記技術の中でセル設計ツール兼移植ツールとして用いているシンボリックレイアウトツールの概要について述べる。5 章では、提案手法に基づく設計事例、移植事例として高速・低消費電力 16 ビット乗算器を紹介し、その性能評価結果について述べる。また、プラスチック・ハード・マクロ技術のもう 1 つの要素をなす「回路設計とセル設計の協調による最適化」についても具体例を用いて説明する。6 章では実用化と

今後の展望を述べ 7 章でまとめを行う。

2. プラスチック・ハード・マクロ技術

2.1 概要

ハード・マクロの速度性能、低消費電力性、小面積特性を備えつつ、レイアウトの柔軟性を残した IP の実現技術および移植技術と実設計への適用技術を提案する。本稿ではそれを「プラスチック・ハード・マクロ技術」と呼ぶことにする。「可塑性のある」ハードマクロの意味である。プラスチック・ハード・マクロ技術による IP を我々は「PHIP」と呼ぶ。現在のところ、PHIP の対象は算術演算器である。

PHIP は次のものから構成される。

- (1) 算術演算器ごとに特別に設計されたセル群
- (2) ネットリスト
- (3) レイアウト例

利用にあたっては次のような多様性がある。

- (a) ハード・マクロとしてそのまま利用
- (b) レイアウト形状を変えて利用
- (c) ネットの一部を手直しして利用

算術演算器は、その動作速度、ビット構成、動作電圧などに応じ、最適なアーキテクチャが異なる。PHIP では、上記の組合せによって各々最適なアーキテクチャを選定し、そのアーキテクチャのもとでネットリストの最適化、セル設計の最適化、レイアウトの最適化を相互協調して行うことで、「論理合成 + 自動レイアウト」で得られる設計結果に比べて、エネルギー遅延積 (ED 積) および面積において格段に優れた設計結果を得る。ED 積で 50% 程度の改善を目指している。

2.2 技術内容

プラスチック・ハード・マクロ技術とは、PHIP の実現技術およびその移植技術の総称である。以下、図 1 を用いて説明する。

(1) デザインパターン・テンプレート：

設計対象の算術演算器を異なるアーキテクチャごとに分類整理したものである。各々のテンプレートごとに、後述の協調設計による最適化を実施し、デザインパターンとしての PHIP を得る。デザインパターン・テンプレートの実体は手作業で整理されたドキュメントである。デザインパターン・テンプレートの分類整理は次の観点で行っている。

- 1 演算器機能：乗算，加算，積和演算，およびパイプラインの有無
- 2 ビット構成
- 3 動作速度：高速，中速または低速
- 4 動作電圧：高電圧または低電圧

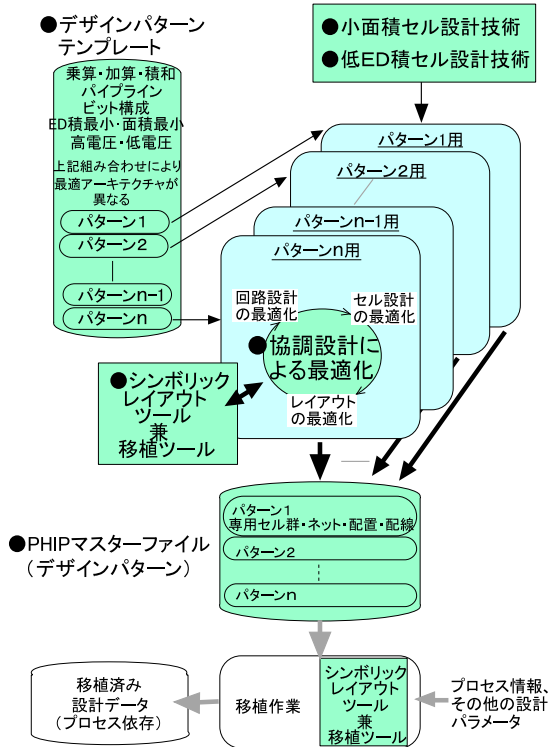


図1 プラスチック・ハード・マクロ技術
Fig. 1 Plastic Hard Macro technology.

以上の各項目の組合せに対して、ED 積を最小にするアーキテクチャを選定している。

(2) 小面積および低 ED 積セル設計技術：

後述の協調設計による最適化の中で用いる基本技術である。3章で述べる。

(3) シンボリックレイアウトツール兼移植ツール：

セルレイアウトをシンボリック記述するための自家製ツールであると同時に、いったん設計したセルを異なる製造プロセスに移植する場合の移植容易化ツールとしても用いる。4章で概要を述べる。

(4) 協調設計による最適化技術：

デザインパターン・テンプレートごとに、ED 積のなるべく小さい算術演算器をデザインするための設計手法である。基本は、回路設計の最適化（ネットリストレベルの最適化）とセル設計の最適化、およびセルレイアウトの最適化を相互協調的に行う。クリティカルパスがなるべく明瞭になるようネットリストを修正し、クリティカルパスに含まれるセル（あるいはセル中のパス）を遅延最小で最適化、それ以外をエネルギー最小で最適化する。この作業は、セル機能の決定とトランジスタサイジングにより行い、さらにそれを小面積セルとしてデザインする。上記(2)、(3)を用いる。具

体例を5章で説明する。

(5) デザインパターン（PHIP マスターファイル）：デザインパターン・テンプレートごとに、(4)で述べた協調設計による最適化を実施し、各々のテンプレートに対応するデザインパターン（PHIP）を得る。各 PHIP は、専用セル群（シンボリックレイアウト形式）、ネットリスト、レイアウト例（セル配置と配線情報、シンボリックレイアウト形式）からなり、PHIP マスターファイルとして蓄積される。

(6) 移植作業または特定設計への適用：

セルの移植は、シンボリックレイアウトツールに、移植対象プロセスのパラメータを与えることで容易に行える。GDS-II 形式のセルレイアウトが得られる。またハードマクロとして使用する場合にも、レイアウト例がシンボリックレイアウトツールに載っているため、対象プロセスのパラメータを与えるのみで移植可能である。

ネットの修正を行った場合は配置の手直しが必要である。クリティカルパスを多く含む重要部分のネットが不変の場合は、修正部分のみについてセルの自動再配置を行う。クリティカルパスが修正された場合は慎重な再配置が必要となる。この部分はまだ手作業であり自動化は今後の課題である。

複合機能の回路ブロック設計に適用する場合は、RTL 記述仕様として受け取り、仕様を実現するのに必要な PHIP を選択し、それらを組み合わせたネット記述を作成する。必要に応じて修正や論理の追加を行う。重要なセルの手配置をしたあと自動配置配線を行うことが多い。手作業を減らすことが今後の課題である。PHIP に用いるセルのライブラリ化をしておけば、検証や静的解析は通常的设计フローに乗る。

3. 小面積および低 ED 積セル設計技術

3.1 小面積セル設計技術

図2に示すように、トランジスタ形成領域を P 型 2 段、N 型 2 段に構成することで、小面積のセルを実現する。図2は AND ゲートの例であり、内側の 2 段で NAND ゲートを、外側の 2 段で NOT ゲートを構成している。NAND ゲートのトランジスタの W を小さく、NOT ゲートのトランジスタを大きくしている。詳細は文献 2)、6) 参照。

3.2 低 ED 積セル設計技術

セルの ED 積を低減する方法として、出力段にインバータを配置したセルを積極的に用いる。AND、OR のような出力段にインバータを備えるセルでは、論理を構成する NAND、NOR 部分のトランジスタを小さく

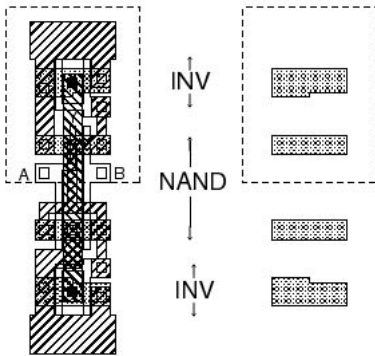


図2 2入力ANDゲートの拡散2段積み配置

Fig. 2 Quad-row diffusion area placement scheme in 2-input AND gate.

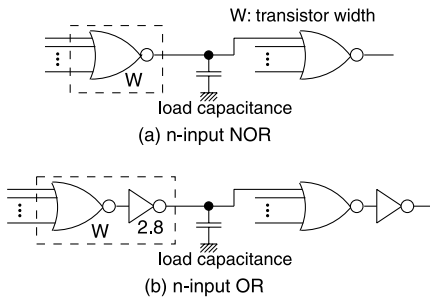


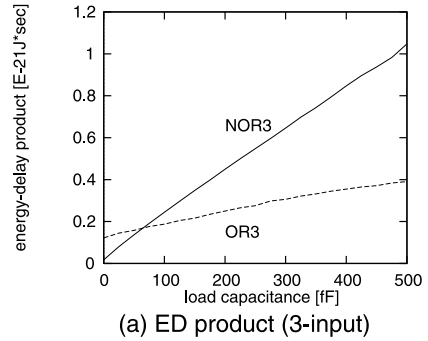
図3 測定用回路

Fig. 3 Measurement circuits.

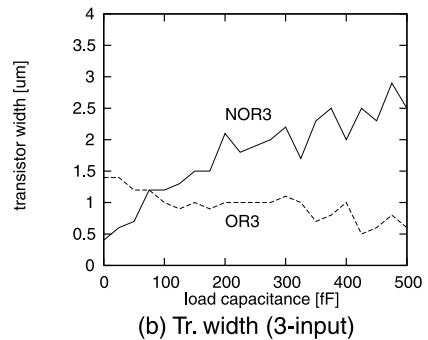
く、出力段のインバータのトランジスタを大きくすることで、ED積を改善できる。また出力のインバータの負荷遅延は、単独で用いるNAND, NORのようなセルに比べて小さい。NAND, NORでは、出力段にトランジスタが直列に接続されているのに対し、インバータでは1個のトランジスタで負荷を駆動するためである。図3および図4は、NORで構成された回路とORで構成された回路に対して、論理を構成する部分のトランジスタサイズを変えながら、それぞれの負荷容量でのED積最小値を求めたものである。(a)は各負荷容量における最小ED積の値、(b)はそれを得たときのトランジスタサイズである。NORは負荷容量増大につれてED積が急速に悪化するが、ORは悪化しにくいことが分かる。詳細は文献(6)参照。このような考え方を算術演算器のセル設計にも適用し、ED積を改善する。

4. シンボリック・レイアウト・ツール兼移植ツール

セルの設計を容易にするとともに、プロセス間移植にも利用することを旨として、シンボリックレイアウト



(a) ED product (3-input)



(b) Tr. width (3-input)

図4 反転論理セルNORと非反転論理セルORの比較

Fig. 4 Comparisons for an inverting logic gate NOR and a non-inverting logic gate OR.

ツールを試作した。

コンパクション機能を持たないシンプルなシンボリックレイアウトツールである。基本的には、仮想配線グリッドに基づく位置指定によりオブジェクトを配置していく方式である。拡散領域については大きさと位置の指定、コンタクトとビアについては位置指定、ポリシリコンと金属配線については端点・屈曲点を指定して線を描く。グリッドからのオフセットは、スペーシングルールなどのデザインルールにあたるグローバル変数どうしの演算で位置を与えている。シンボリックセル記述、デザインルールの記述を入力とし、GDS-II相当のテキスト記述を出力する。それを簡単なフィルタでGDS-IIに変換する。

階層的な定義が可能であり、セルの記述だけでなく、セル配置、配線、マクロセル定義も同様に扱える。自動レイアウトツールの出力結果を本シンボリック記述に戻して保持することも可能である。

プロセス間移植については、ターゲットプロセスのデザインルールに対応する上記グローバル変数を与え直し、セルを再生成することで行う。レイアウト済みのブロックの情報を本シンボリック記述で持っている場合には、ブロックまるごとの移植も容易である。

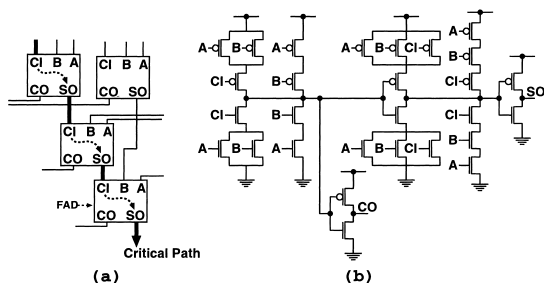


図 5 (a) Wallace 木の一部分, (b) 全加算器の回路図

Fig. 5 (a) A part of Wallace tree, (b) Full adder circuit diagram.

5. PHIP の事例——高速・低消費電力 16 ビット乗算器

提案手法に基づく設計事例, 移植事例としての高速・低消費電力 16 ビット乗算器を紹介し, その性能評価結果について述べる.

5.1 基本設計 (デザインパターンの選択)

本乗算器は, 部分積生成, 部分積加算そして桁上げ吸収回路の 3 部分で成り立つ. 部分積生成部は OR/NOR ゲートを用い, 部分積加算部は Booth 法を用いず Wallace 木のみで構成している. これは 16 ビット乗算器において Booth/Wallace の組合せと比べると回路の遅延, トランジスタ数で差が少ないため, セル種類の少なさを優先し Wallace のみとした. また, Wallace 木の構成は, 4-2 コンプレッサと全加算器によるものがあるが, 前述した回路設計とセル設計の協調による最適化の余地が大きいと判断して全加算器で構成した. 桁上げ吸収回路には, セル種類の少なさと構造の規則性の高さからバイナリルックアヘッドキャリー加算器を採用した.

5.2 回路設計とセル設計の協調による最適化例

Wallace 木の一部分である全加算器の直列接続部 (図 5(a)) を用いて, 回路設計とセル設計の協調による最適化 (ED 積の最適化) の事例を説明する.

全加算器を用いて Wallace 木を構成すると, 図 5(a) のように入力 SO の経路が多段に接続された部分が現れ, これがクリティカルパスとなる. ここで全加算器の回路図 (図 5(b)) より, 入力から SO への出力が最大でトランジスタ 3 段, CO への出力がトランジスタ 2 段となり, SO 出力の遅延が大きいことが分かる. また, A, B, CI 入力のうちで, トランジスタサイジングにより SO への遅延を効果的に減少できる可能性を持っているのは CI 入力である.

そこでまず, Wallace 木のネットの細部を組み直すことで, クリティカルパスとなる図 5(a) の入力 SO

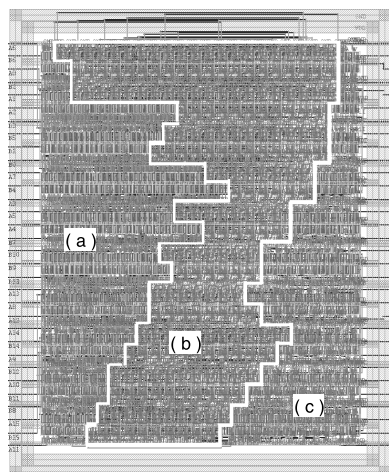


図 6 乗算器のレイアウト. (a) OR/NOR ゲート, (b) Wallace 木, (c) BLCA

Fig. 6 Multiplier layout. (a) OR/NOR gates, (b) Wallace tree, (c) BLCA.

の多段接続構造が, なるべく CI SO の多段接続となるように手直しする. さらに最大段数が大きくなりにくいように修正する. 一方, 遅延短縮しにくい A, B 入力へは, 遅延の小さい CO 出力が接続するように修正する. このようにネット修正した後, 全加算器セルの CI SO の経路を遅延最小となるように, 他の経路をエネルギー最小となるようにトランジスタサイジングを行い, その後前述の小面積セル設計技術によりセルレイアウトを行う.

以上により, クリティカルパスの遅延を削減しかつ消費エネルギーと面積も減少させた乗算器の設計結果を得る. レイアウトについては, 上記クリティカルパスの情報に基づきセル配置の主要部を手作業で, 残りを自動化ツールで行い, 最後に自動配線を行った. レイアウト結果はシンボリック記述に戻した形でも保管している.

5.3 初期設計結果

0.25 μm のターゲットプロセスに対して, 16 ビット乗算器の初期設計を行った. セルの種類 15 種 (891 個), トランジスタ数 9058 個, 面積 0.057 mm^2 であった. 乗算器のレイアウトを図 6 に示す.

5.4 プロセス間移植

別プロセスへの移植は, セルのシンボリック記述と配置配線のシンボリック記述から新しいデザインルールに従ってレイアウトデータを生成することで行う.

つまり, 新しいプロセスに対してセルを再生成して, これらに配置配線情報を比例拡大/縮小したものを合わせることで別プロセスへの移植を行うことができる

tab1

表 1 5種のプロセスにおける乗算器の性能評価結果

Table 1 Multiplier performance evaluation results in five different processes.

Process	A (0.25 μ)		B (0.35 μ)		C (0.35 μ^*)		D (0.35 μ^*)	E (0.25 μ)
Design	A社	Ours (ratio)	合成	Ours (ratio)	C社	Ours (ratio)	Ours	Ours
#Tr.	9752	9058 (0.93)	8870	9058 (1.02)	8058	9058 (1.12)	9058	9058
Area [mm ²]	0.090	0.057 (0.63)	0.150	0.139 (0.93)	0.135	0.159 (1.18)	0.159	0.077
Measurements	TEG 実測			Simulation				
Voltage [V]	1.8		3.3		3.3		3.3	2.5
Delay [ns]	4.75	4.625 (0.97)	5.35	5.04 (0.94)	4.72	4.79 (1.01)	5.30	3.91
Energy [pJ]	98.8	51.1 (0.52)	830	415 (0.50)	542.9	264 (0.49)	280	131
ED [$\times 10^{-18}$ J·s]	410	206 (0.50)	4440	2091 (0.47)	2562	1265(0.49)	1484	512

*印: ゲート長は最小線幅よりやや大きい。

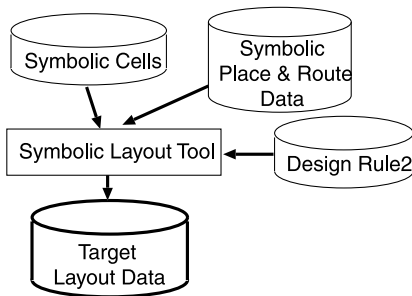


図 7 別プロセスへの移植

Fig. 7 Portation scheme for a different fabrication process.

(図 7)。

次節で評価結果を示すが、その中で、初期設計結果を 4 社の異なるプロセスに移植している。上記の移植作業ののち、レイアウト検証と性能評価のシミュレーションを含めて、1 つのプロセスあたり「3 人日」程度の少ない作業量で移植が完了した。

5.5 性能評価結果

プロセス A をターゲットにして初期設計を行い、その後他の 4 つのプロセスに移植を行った。

レイアウト結果から配線容量を抽出し回路シミュレータ(遅延評価用, 電力評価用)でシミュレーションを行い評価した結果を表 1 に示す。なおプロセス A については、チップ試作を行い実測した結果である。

プロセス A, C においては、それぞれのプロセスの提供元である A 社, C 社で設計された回路を比較対象として示す。またプロセス B においては、比較対象は論理合成によって生成された回路を同様にレイアウトして抽出したものである。A 社の設計は汎用セルを用いたものであり、C 社の設計は乗算器専用を開発したセルと汎用セルを混在使用したものである。

プロセス A, B, C においてそれぞれ比較すると、遅延時間がたかだか 5% の増大であるが、ED 積で見

ると 50% 以上の削減となり、非常に良好な結果が得られた。この結果から、論理設計とセル設計の協調によるエネルギー遅延積に対する最適化の効果が顕著に現れていることが分かる。

一方、面積削減効果はばらつきが大きいですが、セル設計(セル高さ等)が異なることも原因と考えられる。プロセス A では、A 社の設計と本設計で同じセル高さをを用いた(混在レイアウトも可能)。面積削減効果は 37% であった。一方プロセス B では、本設計のセル高さが 27% 大きい。それでもなお面積削減効果が 7% あることから、本手法は、汎用セルを用いる場合に比べて面積削減効果も期待できるといえよう。

6. 議論および今後の展望

プラスチック・ハード・マクロ技術で用いる「回路・論理設計, セル設計, レイアウト設計の協調最適化」は、かつての LSI 設計で 1 人の設計者が何でもこなしていたころには普通に行われていた方法であるともいえよう。その後の回路規模増大にとまらぬ、ASIC の設計においては忘れ去られた手法となった。しかしながらシステム LSI において多量の算術演算器が使われる時代に至り、構造の明確な算術演算器においては上記協調最適化手法の適用とライブラリ化による繰返し再利用が可能であることに着目したのが本研究の発端である。いわば古きを温めて新しきを知る技術開発である。

一方カスタム LSI 設計においては上記協調最適化に類する取り組みはずっと続けられているように考えられる。ただし従来は高速化が主目標で低消費電力化、または ED 積の最小化を目指したものではなかった。本提案の新しさの 1 つがここにある。今後は高速化目的の LSI 設計でも、ED 積の低減が最重要事項の 1 つになると考える。

カスタム LSI と ASIC の性能差, 設計技術の違いに

については文献 1) に面白い議論があり、本研究の視点と一部共通している。本研究の成果は、低消費電力化への要求が顕著になっている ASIC に対して、カスタムデザインの性能(または設計品質)を提供する有力手段であると考えている。

本技術は文献 3) で発表して以来、その適用事例は 1 年間で 5 件を数え、すでに一部は製品出荷された。低 ED 積、小面積の性質を生かして、低消費電力・小面積用途には W-CDMA 用デジタル・マッチトフィルタ⁴⁾や 256 タップ大規模 FIR フィルタバンク、超高速用途ではリードチャネル用 VITERBI 復号回路⁵⁾や FIR フィルタなどに適用し、いずれも高い効果を確認している。

設計への適用経験から「シンボリック・レイアウト・ツール兼移植ツール」が、ライブラリ化したデザインの再利用性向上にきわめて大きな役割を果たすことが分かったが、一方でライブラリを修正再利用する場合には、現状では手作業に頼らざるをえず、何らかのツールサポートが必要と認められる。たとえば、ビット幅の修正などは、パラメータを与えて自動生成するツール等である。また、ライブラリにはセルの推奨配置が含まれるが、現状ではこれも手設計であり、セル配置のツールサポートも今後の重要課題である。

7. おわりに

エネルギー遅延積の十分小さい「高速・低消費電力」の算術演算器 IP を実現する手法であると同時に、同 IP の移植性・再利用性を高めるための手法として「プラスチック・ハード・マクロ技術」を提案した。16 ビット乗算器の設計事例を紹介し、複数のプロセスへの移植結果において、従来設計に比べエネルギー遅延積で 50% の改善を確認した。IP ライブラリの充実、移植・実設計適用支援ツールの拡充などが今後の課題である。

謝辞 ご協力いただいた関係各社に深く感謝いたします。各社プロセスへの移植と評価は、エイ・アイ・エル社の支援のもとに神戸大学にて実施した。協力いただいた当研究室の李、村田、岡部各君に感謝します。

参考文献

- 1) Dally, J.: Bridging the Gap Between Full Custom and ASIC Design, *37th Design Automation Conference, Session 39 Embedded Tutorial*

(2000).

- 2) 村田 豊, 宇田研一郎, 李 副烈, 瀧 和男, 溝口 豪: 低消費電力 CMOS セルライブラリの試作, 電子情報通信学会技術研究報告, VLD98-70, Vol.98, No.118, pp.61-68 (1998).
- 3) 瀧 和男, 北村清志, 溝口 豪: プラスチック・ハード・マクロ技術による低消費電力算術演算器, DA シンポジウム'99, pp.53-58 (1999).
- 4) 瀧 和男, 北村清志, 村田 豊: 低消費電力デジタル・マッチトフィルタ—プラスチック・ハード・マクロ技術の応用事例, 電子情報通信学会技術研究報告, VLD2000-1, pp.1-8 (2000).
- 5) 北村清志, 八木幹雄, 瀧 和男: プラスチック・ハード・マクロ技術による超高速加算器, DA シンポジウム 2000, pp.197-202 (2000).
- 6) 李 副烈, 瀧 和男, 堀貴代秀, 村田 豊: 低消費電力 CMOS セルライブラリの設計と評価, 情報処理学会論文誌, Vol.40, No.4, pp.1670-1678 (1999).

(平成 12 年 9 月 18 日受付)

(平成 13 年 2 月 1 日採録)



瀧 和男(正会員)

昭和 27 年生。昭和 54 年神戸大学大学院修士課程システム工学専攻修了。同年(株)日立製作所入社。昭和 57 年(財)新世代コンピュータ

技術開発機構研究所に出向。逐次型および並列型推論マシンと並列応用プログラムの研究開発に従事。平成 2 年同機構第 1 研究室室長。平成 4 年神戸大学工学部情報知能工学科助教授。平成 7 年同学科教授。工学博士, 昭和 62 年元岡賞, 平成 12 年山下記念研究賞受賞。LSI 設計と CAD, 並列マシンのアーキテクチャ, 並列プログラミング等に興味を持つ。電子情報通信学会, IEEE, ソフトウェア科学会, ACM, 日本神経回路学会各会員。



北村 清志(学生会員)

昭和 49 年生。平成 9 年神戸大学工学部情報知能工学科卒業。平成 11 年同大学院博士前期課程情報知能工学専攻修了。同年エイ・アイ・エル(株)入社。現在, 神戸大学大学院博士後期課程に在学中。LSI の低消費電力化技術に興味を持つ。