

4F-4

アナログLSI設計のための
ペア性抽出エキスパートシステムの開発

宇賀神 和美† 濱田 進† 山口 隆† 菅田 誠‡
 (株)東芝 †システム・ソフトウェア技術研究所 ‡小向工場

1. まえがき

VLSIの需要が高まるにつれて、その設計工程の短縮が望まれるようになってきている。その原因の1つとして、受注形態の変化が挙げられる。従来は、限られた種類の統一規格LSI(汎用LSI)が必要のほとんどであったのが、現在は、多種類の特殊用途LSI(ASIC)に需要が移行している。

そうなると、メーカー側は、多種類のLSIを少量生産することになる。しかし、少量とはいえ複雑で大規模なLSIを、限られた人員、設備で生産するとすると、単価は割高となってしまふ。かつ、半導体の製造は迅速さを要求される。これらの理由により、LSIを短期間で経済的にみあうように実現させるための、計算機による設計支援が望まれるようになった。

現在、LSIの設計を行なう場合、CADは不可欠である。しかしながら、LSIの設計において、特にアナログ回路の場合には、熟練設計者の専門的知識や経験から生まれる直感、コツといったノウハウを必要としており、従来のアルゴリズム的手法では電氣的に不具合や、配線ができない等の箇所を生じスペックを満足できない。

そこで、計算機上に専門家の知識を組み込めるということから、エキスパートシステム(以下、ES)による支援を検討した。設計の中で、最も専門的知識が反映され易いレイアウト設計ESの開発を行なった。

しかしながら、レイアウトを行なう時の制約条件の1つとして必要不可欠である、“ペア性”情報を入力するには、専門家に回路図から抽出してもらい、それをデータ変換するという手間がかかる。そこで、我々は、レイアウト設計ESへの“ペア性”情報の自動入力を目的としたESの開発をした。本稿では、“ペア性”情報を抽出するESについて述べる。

2. システムの概要

本システムは、回路解析汎用プログラム:SPICE(Simulation Program with Integrated Circuit Emphasis)用のデータを入力することにより、全体回路中に存在する、特徴的な回路を認識するとともに、“ペア性”を求められる素子を出力する。

A PAIR Extraction Expert System for Design LSI
 Kazumi UGAJIN, Susumu HAMADA,
 Takashi YAMAGUCHI, Makoto SUGATA
 TOSHIBA corporation

3. ペア性

3. 1. ペア性とは

アナログLSI設計において、専門的知識およびノウハウを特に必要とするフェーズが、レイアウト設計である。素子のレイアウトを行なう際には、幾つかの制約条件があるが、その1つに“ペア性”がある。

回路をスペックどおりの機能を果たすようにするには、各素子の性能を向上させる必要がある。その手段として、各素子の回路中の機能を考慮し、ある特定の素子(複数)に対して、幾つかの配慮をする必要がある。

これを“ペア性”という。

3. 2. ペア性抽出法

現在のLSI設計において、“ペア性”指定は、人手に頼っている。理由としては、“ペア性”を指定する素子の識別に専門的知識が必要であることや、回路スペックによって、指定の有無が異なるからである。

専門家の“ペア性”指定は、特定の素子に対して、1つ1つ、回路図にチェックしていくというものである。

しかし、現在のLSIでは、素子数が10000個というレベルになっている。これを、素子1つ1つチェックするとすると、人手による作業は、相当な時間を要し、また、ミスもおこり以後に支障をきたす。

したがって、この作業をES化することは、レイアウト設計ESへの制約条件入力を正確かつ容易に行える事は勿論、設計者の時間、ミス等の削減を行なうことができる。図1に設計者の“ペア性”を指定した例を示す。

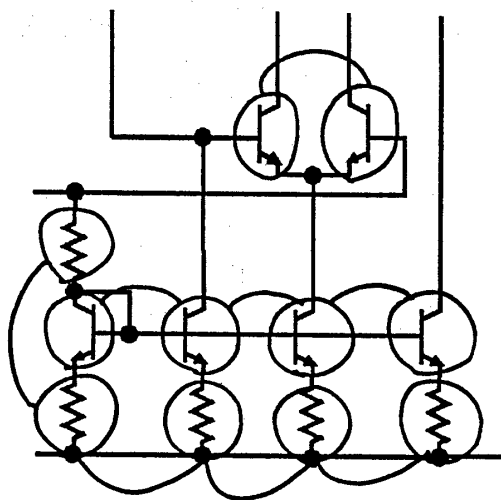


図1:ペア性指定図

4. システムの構成

4. 1. 知識表現

本システムは、ES構築支援ツールAS-IREXを用いて構築した。

我々は、まず特徴的な回路を認識することにした。つまり、“ペア性”を抽出するために、例えば定電圧回路等の特徴的な回路を認識するという方法を考えた。

それは、“ペア性”を求められる素子が、回路スペックにより異なり、その回路スペックは特徴的な回路に依存しているためである。

全体回路の中には、幾つかの特徴的な回路が存在しており、認識方法も各々の特徴を生かす最良方法にしたので、ESは各回路毎に構築した。

認識のための知識は、回路の型をプロダクションルール（以下、ルール）で表現した。

また、各回路は、非常に多くの型（変形）があり、全てをルール化するのは困難である。さらに、ルール数を最少で認識を行なうために、パターンマッチの前処理として、基本的な回路を認識するのに関与しない素子を、“縮退”させるという方法を考えた。こうしてデータを事前に処理する事によって、多くのバリエーションをカバーできるシステムになっている。

4. 2. システムの流れ

図2にシステムの流れを示す。

システムへの入力は、SPICEフォーマットのネットデータである。このデータから、必要情報をワーキングメモリ（以下、WM）に展開する。

次に、各々のペア性抽出ESにより回路を抽出する。更に、抽出した回路の構成素子に対して、“ペア性”データを抽出する。次に、得られたペアデータをCADにより回路図上に表示し、その結果を参照して、ペア指定に、誤りがあれば修正を行なう。レイアウトESを使用する際は、修正後のデータを制約条件として入力する。

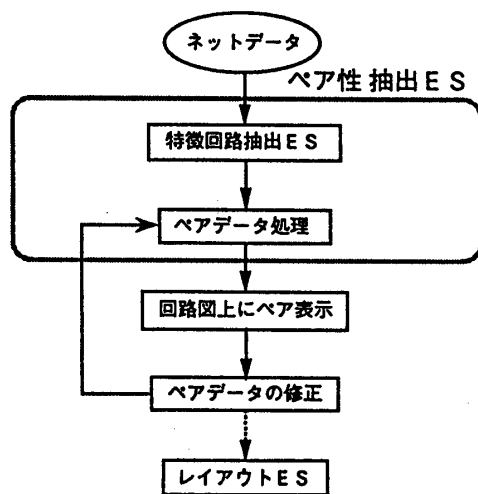


図2：システムフロー

5. 効果

5. 1. 結果

本システムによる“ペア性”抽出結果を述べる。

マシンはAS4000シリーズを用い、素子を約200個含む回路に適用した結果、約5分を要した。さらに、抽出率は90%以上という好結果を得た。

この回路を、人手で抽出および文書化したとすると、約1時間を要する。

5. 2. システムの向上のために

現状のシステムをさらに向上させるための、改善策を述べる。

(1) 回路認識における識別情報の不足

SPICEのデータからでは、素子の接続情報、タイプ、抵抗値しか得られないので、素子の接続関係で識別している。しかし、同様な接続をしている素子群は、基本回路ではなくても抽出してしまう。

→ SPICEのデータ以外の情報を追加する。

(2) 抽出に時間がかかる

全ての素子(WM)を対象にパターンマッチしている。素子の接続を見ているわけであるから、1つの素子を基準にし、その回りの素子を見れば良く、全ての素子とパターンマッチするのは無駄であり、時間がかかる。

→ 素子情報を一度にWMに展開せずに、分割することによって、パターンマッチする対象が削減される。

(3) バリエーション対応

ある程度のバリエーションを吸収する操作はしているが、基本的にはルールとして、ナレッジエンジニア(KE)が予め入力した基本型しか対応しないので、もし未対応の基本型が含まれていたとしたら、抽出は100%にはならない。

基本型から考えられる全てのバリエーションを入力しておくことは、不可能である。

→ もし追加したい基本型がある場合、ユーザがその回路独自の基本型を定義し、システムに登録することによって、未対応の基本型も抽出することを可能にする。知識入力用エディタを用いて、ユーザが知識ベース、データベースを容易に追加、変更、構築できるように、ドメインシエル化する。

6. あとがき

LSI設計のための回路認識および“ペア性”抽出ESについて述べた。現状は、プロトタイプではあるが、結果はかなり満足のいくものであり、更に上記の問題点を改善することにより、実用化およびレイアウトESへの接続も期待できるであろう。

【参考文献】

- [1] 藤田、ほか：アナログIC/LSIパターン設計 (I) [基礎編]、トリケップス、(1986)。
- [2] 藤田、ほか：アナログIC/LSIパターン設計 (II) [実践編]、トリケップス、(1986)。
- [3] 西澤、ほか：半導体集積回路設計の基礎 培風館、(1986)。