

ヒステリシス McCulloch-Pitts ニューロンの CMOSレイアウト設計

2E-2

土村将範*, 梶崎浩嗣*, 黒川 恭一*

K.C.LEE**, Y.B.CHO**, and Yoshiyasu TAKEFUJI**

*防衛大学校 情報工学教室 **Dept. of EEAP Case Western Reserve University

1. はじめに

生物学的処理機能を持つニューロンの数学的モデルは、1943年 McCullochとPittsにより提案された^[1]。そのモデルでの入出力関係は、

$$\begin{aligned} U_i \geq 0 \text{ の場合, } & V_i = f(U_i) = 1 \\ U_i < 0 \text{ の場合, } & = 0 \end{aligned} \quad (1)$$

となる。ここで V_i , U_i は、それぞれ i 番目のニューロンの出力及び入力である。McCulloch-Pitts ニューロンとその修正ニューロンは、様々な最適化問題に効果的に利用されている^[2-7]。

McCulloch-Pitts ニューロンを用いたニューラルネットワークは、シグモイドニューロンを用いたものよりも早く収束することが示されている^[8]。しかしながら、McCulloch-Pitts ニューラルネットワークは、望ましくない発振現象を起こすことが報告されている。この問題を解決するために、ヒステリシス特性を持ったMcCulloch-Pitts バイナリニューロンモデル(以下ヒステリシスニューロンと呼ぶ)が提案されている。^[9] このヒステリシス特性は、ニューラルネットワークの発振現象を抑制し、その結果として収束時間を短くすることができる。ヒステリシスニューロンは、クロスバースイッチのスケジューリング^[9]、故障セルを見つける配置問題^[10]等に効果的に用いられている。

図-1に、ヒステリシスニューロンの入出力関係を示す。 i 番目のヒステリシスニューロンの出力 V_i は、

$$\begin{aligned} U_i \geq UTP \text{ (Upper Trip Point) の場合 } & V_i = 1 \\ U_i \leq LTP \text{ (Lower Trip Point) の場合 } & V_i = 0 \\ LTP < U_i < UTP \text{ の場合 } & \text{変化しない} \end{aligned}$$

と定義される。ここで U_i は、 i 番目のニューロンの入力である。

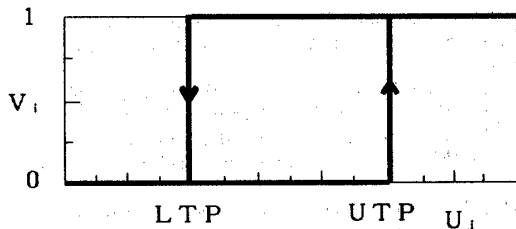


図-1 ヒステリシス関数

2. ヒステリシスニューロンのレイアウト設計

ヒステリシスニューロンに関する研究としては、先に示したいくつかの用途への適合性が報告されているだけで、そのハードウェア化に関する研究は未だ行われていない。そこで本稿では、ヒステリシスニューロンのVLSI化に関する検討を行う。

現在の所、ニューラルネットワークをハードウェア化する場合、デジタル回路で実現する方法とアナログ回路で実現する方法とがある。しかし一般には、デジタル回路の方が、様々な誤差に対して包括力があり^[11]、その上今日最も発達している技術の一つである CMOS VLSI 技術への適合性も良好である。そこで本稿では、CMOS版のデジタルVLSI技術を用いたヒステリシスニューロンのレイアウト設計を示す。

2.1 設計指針

既にヒステリシスニューロンに関しては、文献[9][10]等でシミュレーション結果が報告されており、その結果以下に示す事項が判明している。そこで、ヒステリシスニューロンのハードウェア設計においては、これらの事項を前提に置くこととする。

- ・計算レンジとしては、-15から+10までの整数域を範囲とすることで、ニューロンは十分に正常動作する。
- ・ヒステリシスの幅が大きすぎると、解への収束スピードが非常に遅くなるため、そのレンジは0~7で十分である。これらの前提事項から、ヒステリシスニューロンのハードウェア設計の指針として以下の各項目を設定した。
- ・ヒステリシス特性を実現するために、フリップフロッププログラミングを用いる。
- ・ U_i の計算は加減算のみで十分であり、そのために2の補数表示の固定小数点演算方式を採用する。
- ・ U_i の数値を表現するために、6ビット用意する。
- ・簡単のため、LTPは0に固定する。一方UTPは、0から7までの可変な自然数値に設定できる様にする。

2.2 アーキテクチャ設計

図2に、ヒステリシスニューロンの状態推移図を示す。図中2つある円はヒステリシスニューロンの出力値がそれぞれ0あるいは1である状態を示し、各矢印が状態遷移を、また各矢印に付してある数字がその状態遷移の生じる入力 U_i の範囲を示す。

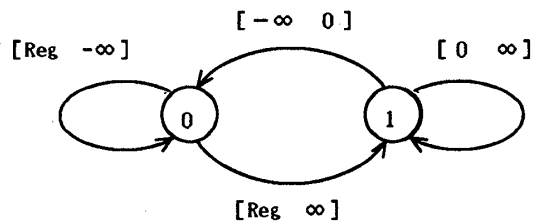


図-2 状態推移図

このヒステリシスニューロンの動作を実現するデジタル回路を図3に示す。現在のヒステリシスニューロンの出力値 V_i は、図中左中央にあるフリップフロップにクロックCK 2の立ち上がり同期して保存される。この値が、3個のNORゲートより成るマルチプレクサに入力されるので、現在のヒステリシスニューロンの出力値に対応してUTPなりLTPなりの設定値が、マルチプレクサより出力されることになる。なお前記の指針により、LTPの値は予め0にセットされているのに対して、UTPの値は図中上部にある3ビットのシフトレジスタにシステムクロックCK 1に同期して予めセットされるものとする。次に、6ビットよりなる入力 $U(U_0, U_1, \dots, U_5)$ は、マルチプレクサの出力値と比較される。この比較結果から、次の時点におけるヒステリシスニューロンの出力値が決定されることになる。

なお、回路の初期設定を確実にを行うために、CLR信号を用意した。これはチップ外のリセット回路に接続されるものとする。

CMOS Layout Design of the Hysteresis McCulloch-Pitts Neuron
Masanori TSUCHIMURA*, Hirotsugu KAJISAKI*, Takakazu KUROKAWA*,
K.C.LEE**, Y.B.CHO**, and Yoshiyasu TAKEFUJI**

* Dept. of Computer Science, The National Defense Academy

**Dept. of EEAP, Case Western Reserve University

2.3 回路シミュレーション

前節で示したヒステリシスニューロンの基本回路に対する回路シミュレーションを行った結果を図4(a)に示す。この過程としては、

- ① CLR信号により全フリップフロップをリセットする。
- ② CK1に与えられた3クロックの期間に、UTPの値をシフトレジスタに格納する。
- ③ CK2に同期してヒステリシスニューロンの動作を実行する。

というものである。なお①及び②が、システムの初期設定に相当する。また、図4(a)におけるヒステリシスニューロンの動作は、同図(b)に示されたAからMまでの各点に対応するものである。

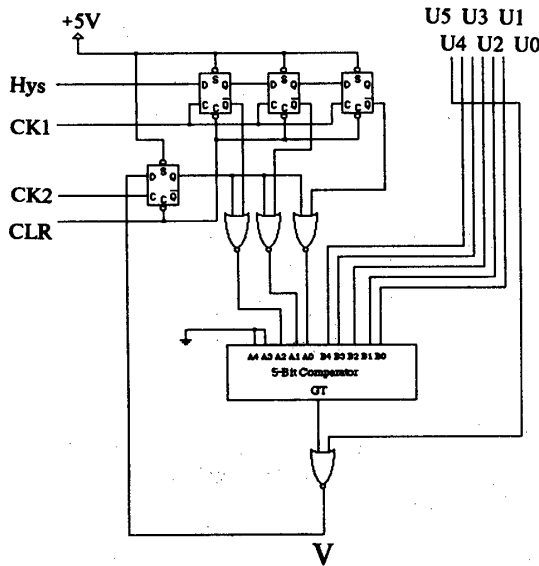
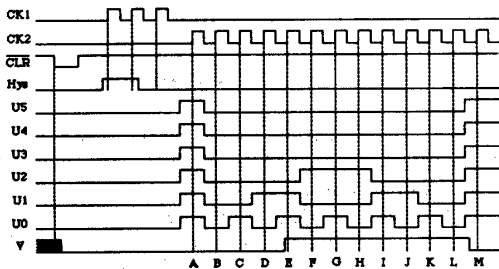
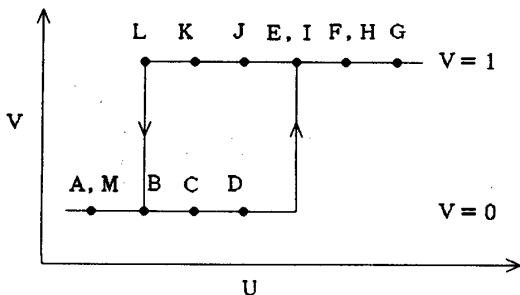


図-3 ヒステリシスニューロンのデジタル回路



(a) タイミング図



(b) シミュレーション・ポイント

図-4 ヒステリシスニューロンのシミュレーション結果

2.4 VLSIレイアウト

以上の基本設計を基として、ヒステリシスニューロンのVLSIレイアウト設計が行われた。これは、P-ウェル2マイクロルールによるCMOS回路として、米国のMOSISにより実装された。図5にレイアウト図を示す。なおこの回路のサイズは399λ×368λであり、204トランジスタより成る。

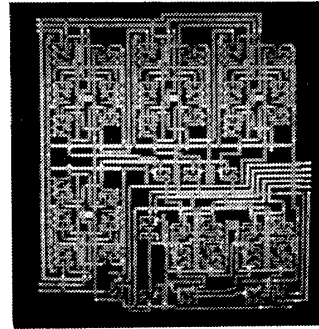


図-5 ヒステリシスニューロンのレイアウト図

3. おわりに

本稿では、ヒステリシスニューロンのCMOS VLSIレイアウト設計について述べた。シミュレーション結果より、各ニューロンがヒステリシス特性を持つことが確認できた。各ニューロンは204個のトランジスタで構成されており399λ×368λの領域を要した。今後はこのヒステリシスニューロンを用いた相互結合ネットワークを実装し、最適化問題等の組み合わせ問題を解かせて、計算機によるシミュレーション結果と実際のVLSIの結果とを比較していくことにより、ヒステリシスニューロンを用いたニューラルネットワークの評価を行っていく。

参考文献

- 1 McCulloch, W.S., and Pitts, W.H. : 'A logical calculus of ideas immanent in nervous activity', *Bulletin of Mathematical Biophysics*, 1943, 5, p.115.
- 2 Takefuji, Y., and Lee, K.C. : 'A near-optimum parallel planarization algorithm', *Science*, Sept. 1989, 245, pp.1221-1223.
- 3 Takefuji, Y., and Lee, K.C. : 'A parallel algorithm for tiling problems', *IEEE Trans. on Neural Networks*, March 1990, 1, 1, pp. 143-145.
- 4 Takefuji, Y., Lin, C.W., and Lee, K.C. : 'A parallel algorithm for estimating the secondary structure in Ribonucleic Acids', *Biological Cybernetics*, 1990, 63, 5.
- 5 Takefuji, Y., Li-lin Chen, Lee, K.C., and Huffman, J. : 'A Parallel algorithm for finding a near-maximum independent set of a circle graph', *IEEE Trans. on Neural Networks*, Sep. 1990, 1, 3.
- 6 Takefuji, Y., and Lee, K.C. : 'A super parallel sorting algorithm based neural networks' *IEEE Trans. on Circuits and Systems*, 1990, 37, 11.
- 7 Takefuji, Y., and Lee, K.C. : 'Artificial neural networks for four-coloring problems and k-colorability problems', to appear in *IEEE Trans. on Circuits and Systems*.
- 8 Foo, Y-P S., Takefuji, Y., and Szu, H. : 'Binary Neurons with Analog Communication Links for Solving Large Scale Optimization Problems', *Proc. of the International Neural Network Society Meeting*, 1988.
- 9 Takefuji, Y., and Lee, K.C. : 'An artificial hysteresis binary neuron : a model suppressing the oscillatory behaviours of neural dynamics', to appear in *Biological Cybernetics*.
- 10 N. Funabiki and Takefuji, Y. : 'A parallel algorithm for spare allocation problems', to appear *IEEE Trans. on Reliability*.
- 11 Masaki, A., Hirai, Y., and Yamada, M. : 'Neural networks in CMOS: a case study', *IEEE Circuits and Devices*, 1990, 6, 4, pp. 12-17.