

5T-6

プロトコル処理専用プロセッサのアーキテクチャに関する一考察

横山 達也 平田 哲彦 水谷 美加 寺田 松昭  
 (株)日立製作所 システム開発研究所

1. はじめに

ネットワーク伝送速度の著しい向上に伴い、通信プロトコル処理の高速化に対するニーズが増大しつつある。我々は、OSIのレイヤ2~4(TP4,CLNP,LLC)に適用可能な通信プロトコル高速処理方式として、特に高速性が要求されるデータ転送正常処理を専用プロセッサで、他の処理を汎用プロセッサで実行する方式を提案し、試作したプロトコル高速処理プロセッサの性能実測により、本方式の有効性を確認している[1]。本稿では、プロトコル高速処理プロセッサにおいて、データ転送正常処理を高速に実行する専用プロセッサのアーキテクチャに関する一考察を述べる。

2. プロトコル高速処理プロセッサの概要

OSIのレイヤ2~4を実行するプロトコル高速処理プロセッサの構成及び、計算機に接続される通信制御装置への適用例を図1に示す。プロトコル高速処理プロセッサは、レイヤ単位に設けた専用プロセッサ及び、専用プロセッサのバックエンドプロセッサとして機能するMPUで構成され、送受信データが格納されるバッファメモリに接続する。専用プロセッサは、上位/下位レイヤからの処理要求(コマンド)及び受信ヘッダを解析し、正常なデータ転送処理であれば、自らその処理を実行し、その他の処理は、MPUに依頼する。MPUは、専用プロセッサから依頼されたデータ転送異常処理及び、コネクション制御処理を実行する。

3. データ転送処理のハード化に対する課題

データ転送処理のハード化における課題を以下に示す。

(1) 低遅延時間の実現

プロトコル処理の高速化においては、プロトコルヘッダの生成/解析処理を高速化し、制御の流れがプロトコルレイヤを通過する遅延時間を小さくすることが重要である。

(2) 汎用性/拡張性のあるアーキテクチャ

単に高性能であるだけでなく、各種プロトコルに適用可能なプロセッサであることが重要である。

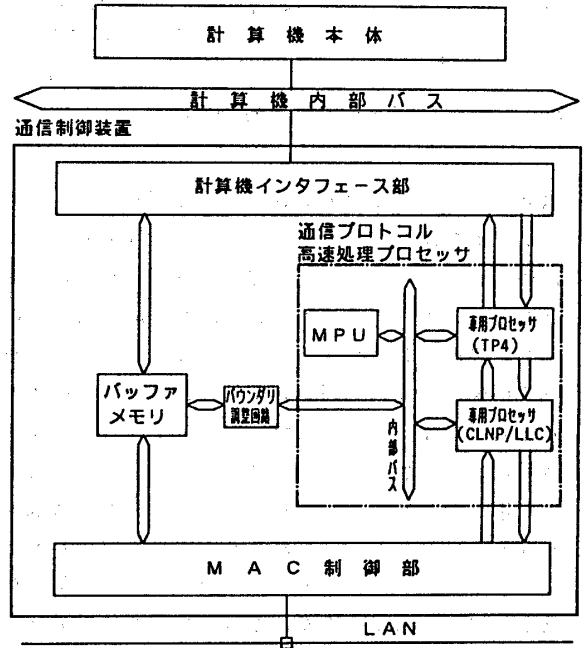


図1 通信プロトコル高速処理プロセッサの構成

4. プロトコルヘッダの高速処理方式

(1) プロトコルヘッダのパイプライン処理

専用プロセッサによるプロトコルヘッダの生成/解析処理において、バッファメモリに格納されるプロトコルヘッダへのアクセスは、データバス幅の制限により、複数回のメモリアクセスに分割される。従って、データ受信処理では、全てのヘッダ処理が完了するまで、バッファメモリからのヘッダの読み込みとヘッダの解析を繰り返す必要がある。本専用プロセッサでは、ヘッダの高速処理方式として、ヘッダアクセス動作とヘッダ解析動作をパイプライン処理することを提案する。すなわち、以前にアクセスしたパラメータの解析処理を行いながら、次のパラメータのアクセスを行う。データ送信処理に関しても、プロトコルヘッダの生成動作とバッファメモリへの書き込み動作をパイプライン化する。こうして、プロトコルヘッダ処理を高速化する。プロトコルヘッダ処理のパイプライン動作の概要を図2に示す。

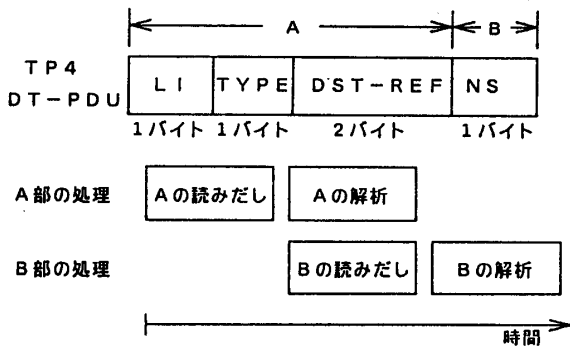


図2 TP4 DT-TPDU受信処理のパイプライン動作

(2) パイプラインの乱れに対する配慮

プロトコルヘッダのパイプライン処理を効率良く行うためには、パイプライン処理の乱れが生じないようにする必要があります。パイプラインの乱れを防ぐためには、ヘッダを構成するパラメータのアクセスを、その格納アドレスに関係なく、一回のメモリアクセスで実現することが必要となる。しかしながら、OSIプロトコルで規定されたヘッダ形式は、メモリのアドレス境界に対する配慮が不十分であるため、パラメータがアドレス境界をまたがって格納されることがある。プロトコル高速処理プロセッサとバッファメモリ間に設けたバウンダリ調整回路は、アドレス境界をまたがって格納されたデータを一回でアクセスできる機能を持ち[1]、プロトコルヘッダに対するパイプライン処理の乱れを防ぐ重要な役割を持つ。

5. プロトコル処理専用プロセッサのアーキテクチャ

以上に述べたプロトコルヘッダのパイプライン処理を実現する専用プロセッサのアーキテクチャについて述べる。図3は、専用プロセッサの内部構造を示すブロック図である。専用プロセッサは、専用プロセッサに対するコマンド及びプロトコルヘッダが格納されたメモリへのアクセス制御を行うメモリアクセス制御部、プロトコルの状態変数を格納するレジスタファイル、プロトコルエラーの検出及び状態変数の更新に使用するALU、パラメータのヘッダ形式への組立て及び受信したヘッダのパラメータへの分解機能を持つヘッダエンコーダ/デコーダ、上位/下位レイヤ及びMPUとのインタフェースFIFO及び、これらのハードウェアを制御するマイクロコントローラから構成される。マイクロコントローラは、プロトコル処理手順を記述したマイクロプログラムメモリ及びシーケンサで構成する。マイクロプログラムを変更することにより各種プロトコルに対応する。

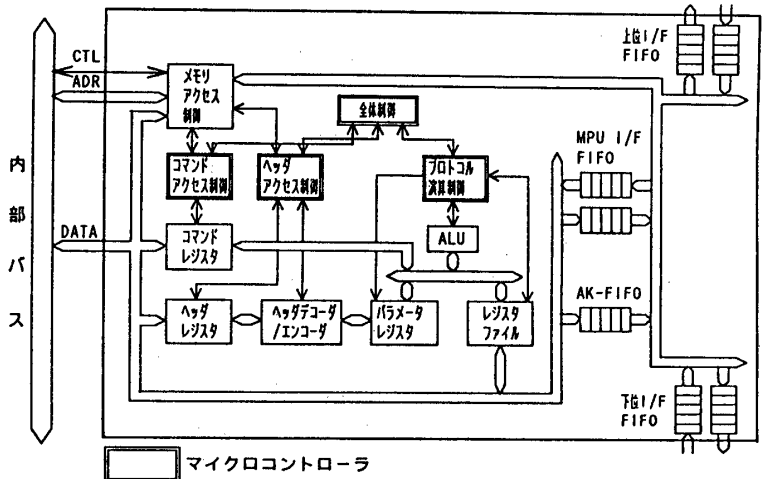


図3 専用プロセッサの内部構造

マイクロコントローラは、水平型マイクロプログラム制御により、内部処理の並列化を図る。例えば、プロトコルヘッダ処理において、メモリアクセス制御部と、ヘッダエンコーダ/デコーダを同時に制御し、ヘッダのパイプライン処理を実現する。

6. 性能評価

上記方式を適用した専用プロセッサにより、OSIのレイヤ2~4 (TP4, CLNP, LLC)のヘッダ解析処理(正常性のチェック)を行った結果、汎用MPUによるヘッダ解析処理に比べ、メモリアクセス回数を1/3に、ヘッダ解析処理時間を1/7に短縮できることを確認した。

7. まとめ

データ転送処理に関するプロトコルヘッダの高速処理方式として、高効率メモリアクセス方式を用いた、プロトコルヘッダのパイプライン処理方式を提案し、試作した専用プロセッサにより、その有効性を確認した。

<参考文献>

[1] 横山他：通信プロトコル高速処理プロセッサの方式提案，情報処理学会第41回全国大会，4Q-7，1990