

超高速デジタル回路プリント板の一設計法

6N-9

相沢正幸、森野雅義、神吉広、泉正夫、杉尾晃正

沖電気工業株式会社

1. はじめに

従来のプリント基板設計では、論理シミュレーションを満足し、素子間の接続チェック、間隙チェックに誤りがなければ、回路の動作が保証されていた。

しかし、装置の高速化に伴い、プリント基板の動作速度も年々増加しており、このような高速プリント基板では、従来問題とならなかったスイッチング雑音、出力のオーバーシュート、アンダーシュート、リングング、クロストーク等が回路動作に影響を与え、回路の誤動作をまねく原因となってしまう。

また、これらの問題を、製造前に解決しておかなければ、プロトタイプの基板製造が、今まで以上に増加してしまい、コストとTATも増加してしまう。さらに、製造後の改修は、LSIと同様に不可能と考えられる。

上記の理由により、高速回路基板の設計では、製造前の検証が非常に重要となり、従来のCADシステムでは、十分な対応ができなくなり、今回、図-1に示す設計フローを採用した。本論文では、レイアウト設計ルールのフォワードアノテーション、配線終了後の配線パターンのノイズ検証と、実配線長遅延を加味したタイミング検証について述べる。

2. レイアウト設計ルールの

フォワードアノテーション

プリント基板の設計では、配置配線後の、タイミング検証、及び、ノイズ検証時のエラー件数を最小限にし、人手修正を極力なくすことにより、設計品質を向上させる必要がある。そのためには、以下の項目に注意して設計しなければならない。

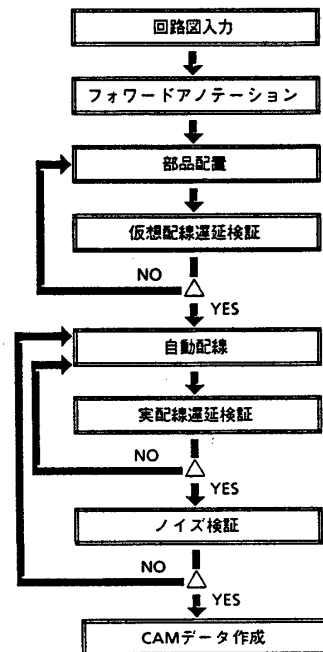


図-1 設計フロー

① スパニングルール (配線方法)

- ・ 一筆書き配線
- ・ 分岐長

② スペーシングルール

③ 配線長 (等長配線、等長差配線)

④ 最大平行線長

①は主に反射ノイズの防止、②、④はクロストークノイズの防止、③はタイミングずれの防止、特に同時動作をするシグナルに対しては、それらのパターン長の差を極力小さく配線しなければならない。

レイアウト設計ルールのフォワードアノテーションは、論理D.B、素子LIB、及び、基板材料、基板層数、動作速度、特性インピーダンス等のパラメータファイルより、これらの制限を自動設定し、オートルーターに配線パラメータとして与えている。(図-2参照)

A design method of hi-speed PCB

Masayuki AIZAWA, Masayoshi MORINO, Yoshihiro JIN, Masao IZUMI, Terumasa SUGIO

OKI Electric Industry Co., Ltd

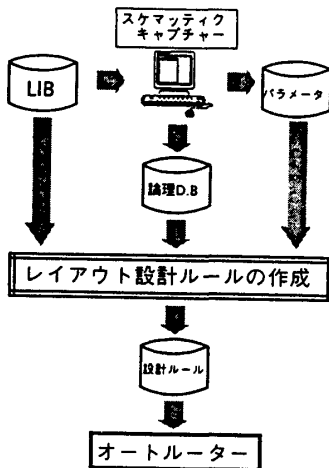


図-2 レイアウト設計ルールの相互関係

3. 配線遅延によるタイミング検証

(1) 仮想配線遅延によるタイミング検証

部品配置終了後に、接続ピンペアの仮想配線遅延を算出し、タイミングシミュレータにバックアノテーションを行い、タイミング検証を行う。これにより、フォワードアノテーションで、設定された設計ルールを、満足したレイアウト設計が可能か否か、ある程度推測する事ができる。この結果、タイミングエラーが検出された場合には、部品配置を再度検討し、配置修正を行う。もう一度タイミング検証を行い、設計可能と判断できるまで繰り返す。これにより、レイアウト設計後のシミュレーションによるエラー発生件数を減少させることができ、同時に設計品質も向上できる。

(2) 実配線遅延によるタイミング検証

配線終了後に、接続ピンペアの実配線遅延を算出し、タイミングシミュレータにバックアノテーションを行い、より正確なタイミング検証を行う。これによりエラーが発生した場合には、人手でパターンを修正した後、再度タイミング検証を行い、エラーを完全に排除する。

配線遅延時間は(式1)(式2)(式3)により求めることができる。

$$t_{pd} = t_d \times l \quad \dots(式1)$$

マイクロストリップラインの単位長さの遅延時間

$$t_d = 1.017\sqrt{0.475\epsilon_r + 0.67} \quad \dots(式2)$$

ストリップラインの単位長さの遅延時間

$$t_d = 1.017\sqrt{\epsilon_r} \quad \dots(式3)$$

- t_{pd} : 配線遅延時間
- t_d : 単位長さの遅延時間
- l : パターン配線長
- ϵ_r : 基板材料の誘電率

4. ノイズ検証

動作速度が高速になると、つまり立ち上がり時間が短くなると、素子のスレッショールドを越えるようなクロストークノイズや、反射ノイズが発生しやすくなる。そこで今回は、配線完了後のノイズ検証と、パターン修正のリアルタイム性を重視し、レイアウトエディタ上で、ノイズ検証を行うこととした。

ノイズマージンを超える、ノイズが発生すると、グラフィックディスプレイ上に、問題のパターンがハイライトに表示される。ハイライト表示されたパターンは、レイアウトエディタのパターン修正機能により修正する。クロストークノイズは、(式4)より、平行パターン長: l を短くする、もしくは、相互インダクタンス: L_m 、相互キャパシタンス: C_m を小さくする、すなわち平行パターン間隔を、大きくすることにより、ノイズを小さくすることができる。

また、反射ノイズについては、パターン幅の変更を行い、インピーダンス整合をとり、安定した伝送路とし、反射ノイズを軽減させる。

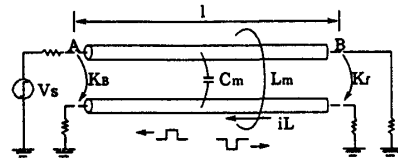


図-3 クロストークノイズの発生メカニズム

$$V_b = K_r \frac{1}{T_r} V_s = -\frac{1}{2} \left[\frac{L_m}{L} - \frac{C_m}{C} \right] \frac{l}{T_r} \quad \dots(式4)$$

- V_b : 遠端側クロストークノイズ
- K_r : 遠端結合係数
- V_s : 駆動パルス
- T_r : 駆動パルスの立ち上がり時間
- l : 平行パターン長
- τ : 単位長さあたりの伝送遅延時間
- L_m : 相互インダクタンス
- C_m : 相互キャパシタンス
- L : 自己インダクタンス
- C : 自己キャパシタンス

5. おわりに

300MHz級高速デジタル基板に、本手法を実験した結果、等長配線の自動化による設計TAT短縮。また、タイミング検証、ノイズ検証による品質向上と、プロトタイプによる、デバッグ期間の短縮をはかることができ、超高速デジタル基板設計に、十分適用できることを確認した。

今後は、数GHz級のプリント基板への適用のため、より機能の充実と、配線パターン上の信号伝搬波形による信号の減衰、及び波形なまりの解析、また、高速論理素子は熱を発生するため、プリント基板上の熱解析について、検討していく予定である。