

HLS: 論理シミュレーション専用計算機

4P-6

(1) システム概要

菊地原秀行, 浜崎良二, 白木昇, 村上道郎, 平川和之

沖電気工業(株)超LSI開発センタ

1. はじめに

近年のゲートアレイに代表されるASIC (Application Specific IC) の発展は、CADシステムに設計期間の短縮を強く要求している。論理設計においては、汎用計算機上のソフトウェア論理シミュレータが利用されているが膨大な計算時間のため設計期間の長期化を招いている。

この解決法として、従来から論理シミュレーションを専用に行うハードウェア^[1,2]が開発されている。これら専用ハードウェアは、シミュレーション精度を優先するか、或いは実行性能を優先するかのどちらかであった。しかし、今後のASICの発展と大規模化に対処するためには、どちらもが必要不可欠である。

論理シミュレーション専用計算機 (HLS: Hyper Logic Simulator 以下HLSと呼ぶ) は、対象をASICとしており、シミュレーション精度を十分保ちつつ超高速に実行する専用ハードウェアである。

本稿では、HLSのシステム概要について述べる。

2. システム構成

図1に本HLSのシステム構成を示す。

(1) 大型コンピュータ

シミュレーションモデル作成、テストデータ作成等シミュレーションの前処理を中心とした大規模データ処理を行なう。HLSは、当社のソフトウェ

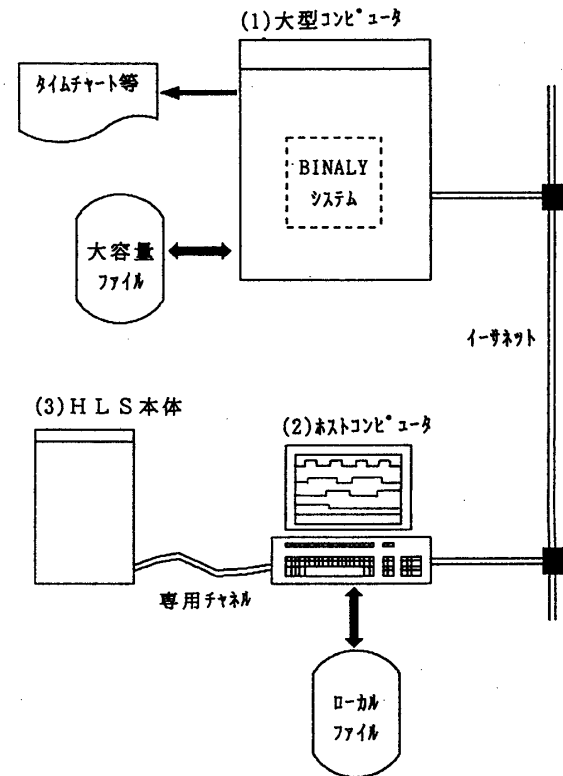


図1 HLSのシステム構成

ア論理シミュレータBINALY^[3]の実行環境下で動作する。

(2) ホストコンピュータ

シミュレーション対象モデルとテストデータの転送、リアルタイムでのシミュレーション制御、タイムチャート表示等を行なう。HLSとは専用チャンネルで、大型コンピュータとはイーサネットで接続している。

(3) HLS 本体

イベント駆動方式を基本とした高精度かつ大規模・高性能論理シミュレーション環境を提供する。

3. システム諸元

(1) 高精度シミュレーション

A S I C を対象とするため、高精度シミュレーション環境を提供する。

① 論理モデル：単純ゲート、フリップフロップ、R A M、R O M 等。

② 遅延モデル：ノミナル遅延。

③ 信号値：論理値 0、1、X と強度。

(2) 大規模・高性能シミュレーション

A S I C の大規模化に対処するため、大規模・高性能シミュレーションを可能にする。

① 回路規模：最大 5 1 2 キロゲート

② メモリ容量：最大 3 2 メガビット

③ システム性能：最大 3 2 0 MEPS

(MEPSは、百万ゲート評価/秒の略)

(3) 混在レベルシミュレーション

H L S は、B I N A L Y と有機的に結合し、全体としてゲートレベルと機能レベルの混在レベルシミュレーション環境を提供する。ゲートレベルの部分は、H L S で実行し、機能レベルの部分は、B I N A L Y で実行する。

(4) サービス機能

B I N A L Y の実行環境下でサポートされている各種サービス機能(テストデータ作成、タイムチャート出力等)をすべて提供する。

4. プロトタイプ

H L S の方式および性能等を確認するため、S E U 8 台分に相当するプロトタイプを試作した^[4]。この結果、S E U とシミュレーション制御論理の主要部分をそれぞれ専用 L S I で 1 チップ化し、高密度化・高速化を全体システムに反映させることにした。

5. 全体システム

(1) ハードウェア構成

高性能化を実現するため、S E U を 1 2 8 台の高並列構成にした。詳細は、文献[5]で述べている。

(2) 専用 L S I

高性能・小型化を実現するため、S E U 用として 1 種類、ネットワーク制御用に 2 種類、シミュレーション制御用

に 1 種類の合計 4 種類の専用 L S I を開発中である。詳細は、文献[6,7]で述べている。

(3) 実装

専用 L S I の見直しによる高密度化の結果、S E U 8 台分を基板 1 枚に実装し、シミュレーション制御基板を含め全体で基板 1 7 枚に実装する予定である。

6. おわりに

A S I C 設計に必要とされる高精度シミュレーション環境を提供すると共に大規模かつ超高速に実行する専用計算機：H L S のシステム概要について述べた。

本システムは、プロトタイプの試作を終え、現在調整中である。また、全体システムについては、現在専用 L S I のレイアウト設計中である。

なお、本研究は、基盤技術研究促進センターからの融資テーマ「論理シミュレーション専用計算機の試験研究」として実施している。

参考文献

- [1] Blank, T "A Survey of Hardware Accelerators Used in Computer Aided Design", IE³ Design and Test of Computers, Vol.1, No.4, pp.21-39
- [2] 広瀬, 他 "論理シミュレーションマシン S P", 情処第 35 回全大, 7F-4
- [3] Hirakawa, et. al. "LOGIC SIMULATION FOR LSI", 19th DAC, pp.755-761
- [4] 稲田, 他 "論理合成システムを用いたシミュレーション用 LSI の設計手法", 設計自動化, 50-13, 1989.12.15
- [5] 浜崎, 他 "HLS: 論理シミュレーション専用計算機(2)ハードウェア構成", 本大会予稿
- [6] 今村, 他 "HLS: 論理シミュレーション専用計算機(4)ネットワーク制御ユニット", 本大会予稿
- [7] 稲田, 他 "HLS: 論理シミュレーション専用計算機(5)シミュレーション実行ユニット", 本大会予稿