

3次元 VLSI レイアウトにおける仮想位置に基づく配置手法

加藤 圭太[†] 大村 道郎[†]

近年、集積回路プロセス技術の分野において、回路素子自体を3次元に集積化する研究が行われるようになってきた。大規模な集積回路(3-D VLSI)を設計するには、レイアウト設計の自動化が不可欠であるが、3-D VLSIのレイアウト設計における配置手法については、まだほとんど研究されていない。本論文では、各セルに対し仮想配線長の総和が小さくなると考えられる仮想位置を求め、その座標とセル座標の差の総和が最も改善される隣接するセル対から順に配置を交換することにより、層割当てを考慮した3-D VLSIの配置を求める手法を提案する。また、性能評価のために行った実験の結果を示し、その有用性を立証する。

Placement Method for 3-D VLSI Based on Estimated Positions

KEITA KATO[†] and MICHIROH OHMURA[†]

In recent years, 3-D integrated circuits in which active layers are stacked have been researched. In order to design large scale 3-D integrated circuits, layout automation is indispensable, but placement method in the layout design has not been researched yet. This paper proposes a placement method for 3-D VLSI based on estimated positions. In the method, an estimated position of each cell is calculated such that the estimated wire length is reduced. Then adjacent cells are interchanged to improve the sum of difference between cell positions and their estimated positions. The experimental results are also shown.

1. はじめに

近年、集積回路プロセス技術の分野において、MCM (Multi Chip Module), FPGA (Field Programmable Gate Array) など、様々な2次元集積回路を重ね合わせて3次元化する研究が行われるようになった^{1),2)}。将来的に性能面で有利になると考えられる回路素子自体の3次元集積化についても、1980年代後半には、小規模ながらもすでに試作が行われている^{3),4)}。大規模な集積回路を設計するには、レイアウト設計の自動化が不可欠であるが、3-D VLSIのレイアウト設計における配置⁵⁾に関しては、まだほとんど研究されていない。

本論文では、各セルに対し、仮想配線長の総和が小さくなると考えられる3次元座標として、新たに仮想位置を定義し、その座標とセル座標の差の総和が最も改善される隣接セル対から順に配置を交換することにより、層割当てを考慮した、3-D VLSIの配置を求

めるヒューリスティック手法を提案する。本手法では、各セルに対し、仮想位置からの距離を計算するとき、Z方向にのみペナルティ定数 k ($k > 0$)を乗じている。これは層を垂直に通過する配線が同一層内の配線に比べてコストがかかることを考慮したもので、これにより、セルの配置を入れ替える際、Z方向を優先させることができる(層割当ての考慮)。

以下、2章で3次元配置問題の定式化を与え、3章で提案手法について述べる。4章で実験結果について検討し、その有用性を示す。最後に本論文のまとめと今後の課題について述べる。

2. 配置問題の定式化

2.1 3次元配置領域

チップ上に実現される回路は、それを構成する基本的な機能単位であるセルの集合 $CS = \{C_1, C_2, \dots, C_p\}$ によって与えられる。本論文では、各セル $C_i \in CS$ は同一の形状を持つ立方体であり、その中心に端子を複数個持つと仮定する。セル間の配線に関する結線要求は、ネットリスト(ネットの集合) $NS = \{n_1, n_2, \dots, n_q\}$ によって与えられる。各ネット $n_j \in NS$ はそれを構

[†] 広島工業大学工学部
Faculty of Engineering, Hiroshima Institute of
Technology

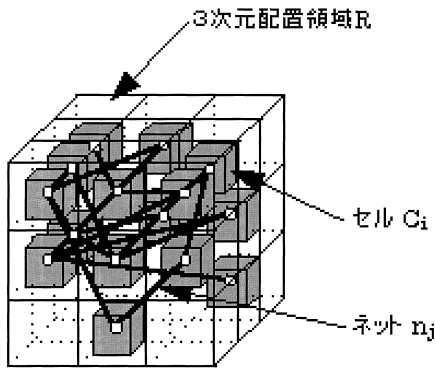


図1 3次元配置領域 R

Fig. 1 3-D placement region R.

成する端子の集合として定義されるが、複雑な表記をさけるため、ここでは端子の代わりにその端子が存在するセルで表すものとする。この場合、同じセル C_i に位置する、異なる仮想端子がすべて C_i と表されることになるが、以降の議論に支障はない。

セルを配置する3次元領域を3次元配置領域 R と呼ぶ(図1参照)。 R は立方格子状に区切られ、それぞれの領域をスロットと呼ぶ。各セル C_i の配置座標は、 C_i が配置されるスロットの中心座標 (x_i, y_i, z_i) で表すものとする。

2.2 3次元配置問題

まず、3次元配置領域 R における各ネットの仮想配線長について説明する。各ネット $n_j \in NS$ に接続する各セルの中心座標を囲む最小な直方体の座標のうち、最大座標を (x_{lj}, y_{lj}, z_{lj}) 、最小座標を (x_{sj}, y_{sj}, z_{sj}) とすると、ネットリスト NS に含まれるすべてのネットの仮想配線長の総和 L は次の式で定義される。

$$L = \sum_{n_j \in NS} ((x_{lj} - x_{sj}) + (y_{lj} - y_{sj}) + k(z_{lj} - z_{sj}))$$

層を垂直に通過するネットは、通常、同一層内のネットに比べて配線にコストがかかると考えられる。仮想配線長の総和 L の定義では、 Z 方向の配線長にペナルティ定数 $k (> 1)$ を掛けることにより、このコストを考慮している。

次に3次元配置問題を定式化する。

[問題3DI] 入力として、(1)セルの集合 CS 、(2)ネットリスト NS 、(3)3次元配置領域 R 、(4) R 内のセルのランダムな配置が与えられる。このとき、目的関数 L の値がなるべく小さくなる R 内のセルの配置を求めよ。□

3. 3次元配置

3.1 セルの仮想位置

以下では各セルに対する仮想位置、コスト、および隣接するセル対に対するゲインについて説明する。

まず、各セル $C_i \in CS$ に対し、 C_i に接続するネットの集合を $NS_i (\subseteq NS)$ で表す。次に、各ネット $n_j \in NS_i$ に対し、 n_j に接続するセルの集合を $CS_j (\subseteq CS)$ で表す。ここで各セル $C_r \in CS_j$ の配置座標は、前述のように (x_r, y_r, z_r) と表される。 C_i の仮想位置 (px_i, py_i, pz_i) のうち px_i を以下の式で定義する。

$$px_i = \frac{1}{|NS_i|} \sum_{n_j \in NS_i} \left(\frac{1}{|CS_j|} \sum_{C_r \in CS_j} x_r \right)$$

また、 py_i, pz_i も同様に定義する。

次に、各セル $C_i \in CS$ に対し、 X, Y, Z 軸上において、その配置座標と仮想位置との距離に基づくコスト ax_i, ay_i, az_i を次のように定義する。

$$ax_i = px_i - x_i$$

$$ay_i = py_i - y_i$$

$$az_i = k \cdot (pz_i - z_i)$$

ここで k は定数である。この定数は、問題3DIの定式化における仮想配線長の総和 L のところで説明した定数 k に対応している。

さらに3次元配置領域 R 内で X 軸方向に隣接するセル対 (C_i, C_j) (ただし、 $x_i < x_j$) に対し、ゲイン ax_{ij} を導入する。ゲイン ax_{ij} を

$$ax_{ij} = \begin{cases} ax_i - ax_j & (0 \leq ax_i \text{ かつ } ax_j \leq 0) \\ 0 & (\text{それ以外のとき}) \end{cases}$$

と定義する ($0 \leq ax_i$ かつ $ax_j \leq 0$) 以外のときは $ax_i - ax_j$ の値にかかわらず、交換しても配置が改善されないので0としている。 Y 軸方向に隣接するセル対に対するゲイン ay_{ij} 、 Z 軸方向セル対に対するゲイン az_{ij} も同様に定義する。

[例1] セル C_i, C_j が3次元配置領域 R 内で X 軸方向に隣接している場合を考える(ただし、 $x_i < x_j$)。 $ax_i = 5, ax_j = -4$ であるとき、 (C_i, C_j) に対するゲインは $ax_{ij} = 5 - (-4) = 9$ となる(図2参照)。

3.2 提案手法の概要

目的関数に直接仮想配線長を用いた場合、 x_{lj} などの最大座標、または x_{sj} などの最小座標を与えるセルが複数ある場合、1度に2つのセルを交換するだけでは仮想配線長を縮めることができない場合がある。そこで本手法では、 X 軸方向または Y 軸方向または Z

表 1 配線長の比較
Table 1 Comparison on wire length.

| データ | セル数 | ネット数 | 従来手法 1 | 従来手法 2 | 提案手法 | |
|-----|-----|------|-------------|--------------|--------------|------|
| | | | 配線長 | 配線長 | 配線長 | 適用回数 |
| A | 8 | 12 | 44(0.03) | 43(0.02) | 42(0.02) | 1 |
| B | 32 | 50 | 334(0.64) | 274(0.82) | 265(1.35) | 5 |
| C | 64 | 70 | 620(1.05) | 480(2.79) | 439(3.23) | 6 |
| D | 100 | 100 | 1021(1.57) | 1063(18.90) | 786(20.44) | 15 |
| E | 120 | 150 | 1663(3.76) | 1351(42.87) | 1311(50.59) | 21 |
| F | 180 | 200 | 2760(11.39) | 1992(137.57) | 2008(68.19) | 13 |
| G | 200 | 220 | 3023(14.85) | 2287(186.74) | 2240(108.61) | 17 |
| H | 240 | 250 | 3909(16.61) | 3028(240.56) | 2911(143.37) | 17 |

配線長の () 内は計算時間 (sec)

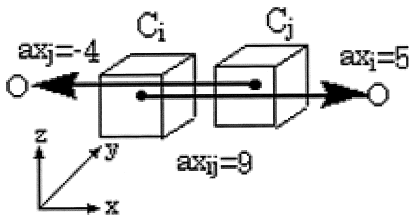


図 2 ゲイン ax_{ij}
Fig. 2 Gain ax_{ij} .

軸方向に隣接するセル対のうちゲインが最大となるものを選び、配置を交換することにより、上述の問題点の解決を試みる。本手法で用いられる、手続き 3DIA の概要を以下に示す。

手続き 3DIA

begin

- (a) 各セルに対し仮想位置およびコストを求める；
- (b) 隣接するセル対 (C_i, C_j) に対し、ゲイン $ax_{ij}, ay_{ij}, az_{ij}$ を求める；
- (c) ゲイン $ax_{ij}, ay_{ij}, az_{ij}$ のうち最大値を max に代入する；
- while (max を与えるセル対 (C_i, C_j) が与えられた定数 t 回以上選ばれていなければ)
 - (d) max を与える隣接するセル対 (C_i, C_j) の配置を入れ替える；
 - (e) セル C_i, C_j およびそれらと共通のネットを持つセルに対し仮想位置、およびコストを更新する；
 - (f) 同様にセル対に対するゲイン $ax_{ij}, ay_{ij}, az_{ij}$ を更新する；
- endwhile
- (g) 仮想線長 L を計算する。

end

手続き 3DIA の while ループ内で、同じセル対が何度も選ばれてもよいとすると、特定のセル対が繰り返し

選ばれる無限ループに陥る可能性がある。一方、1 度しか選ばれないとすると、十分な配置の入れ替えが行われない。そこで、本手続きでは t 回とし、4 章の実験では 5 に固定した。

提案手法では解の改善ができなくなるまで、この手続きを繰り返し適用する。手続き 3DIA を何回適用すれば、提案手法が収束するかということは明らかではないが、実験した範囲ではデータのサイズが大きくなっても適用回数はそれほど変わらなかった(表 1 参照)。

4. 実験結果

4.1 従来法との比較

提案手法を SGI 社 Origin2000 上で C 言語を用いて実現した。乱数データに対し、提案手法と 2 次元レイアウトでよく用いられる手法どうしを組み合わせた従来法との比較実験の結果を表 1 に示す。ここで従来手法 1 とは、与えられた論理回路を最小カット法⁶⁾を用いて、分割することによりまず層割当てをし、引き続き各層ごとに対交換法⁷⁾により配線長の最小化を行う手法を指すものとする。

問題の定式化において k を大きな値にしたときは、各層ごとに独立して最適化を行う従来手法が十分適用可能である。しかし層間の配線が自由になるにつれて、すなわち問題の定式化における k の値が小さくなるにつれて、この従来手法では対応できなくなり、一方で提案手法では変わらず良い解を得ることが期待できる。そこでここでは k の値が小さい場合として、 $k=2$ とした。また、2.2 節で定義した仮想配線長 L を目的関数とし 3 次元で対交換法を適用する手法を従来手法 2 とする。このとき提案手法は従来手法 1 に対し平均 22%、従来手法 2 に対し平均 6% 良い解を得ることができた。

4.2 並列計算機を用いた高速化

この手続きは、異なった配置から適用を始めるとさ

表 2 CPU 時間の短縮
Table 2 Reduction of CPU time.

| データ | CPU × 1 | | CPU × 2 | | CPU × 4 | |
|-----|---------|------------|---------|------------|---------|------------|
| | 配線長 | 計算時間 (sec) | 配線長 | 計算時間 (sec) | 配線長 | 計算時間 (sec) |
| A | 42 | 0.32 | 42 | 0.60 | 42 | 0.14 |
| B | 261 | 23.42 | 267 | 8.63 | 268 | 1.69 |
| C | 435 | 63.81 | 442 | 20.30 | 441 | 3.71 |
| D | 776 | 336.35 | 783 | 65.56 | 783 | 10.65 |
| E | 1284 | 703.89 | 1317 | 134.09 | 1317 | 20.69 |
| F | 1916 | 1646.62 | 1938 | 249.48 | 1938 | 40.67 |
| G | 2159 | 2022.15 | 2174 | 330.20 | 2174 | 50.14 |
| H | 2860 | 3222.90 | 2864 | 548.46 | 2983 | 68.81 |

らに短い配線長が得られる場合がある。ここでは並列計算機を用いて 1 度に複数のデータから解を求める手法について述べる。

まず、ネットリストが等しく、セルの配置のみが異なるデータを、乱数を用いて複数個用意する。そのうち並列計算機のプロセッサ数に等しいデータごとに、先ほどの手続き 3DIA をそれぞれ一度ずつ適用し、最も仮想配線長の短くなったデータを出力する。次に、前段で出力されたデータを集め、再び手続き 3DIA を一度ずつ適用し、最も仮想配線長が短くなったデータを出力する。最終的にデータが 1 つになるまでこのような作業を繰り返し、このデータに対して手続き 3DIA を解の改善ができなくなるまで繰り返し適用し、配置を求める。

この手法を SGI 社の並列計算機 Origin2000 上で C 言語と並列化のためのディレクティブを用いて実現した。プロセッサ数を 2, 4 個と変えて 16 個のデータに対して実験を行った結果 (CPU × 2, CPU × 4) と、16 個のデータについて提案手法を適用し、その中で最も配線長の短い配置を選んだ結果 (CPU × 1) を表 2 に示す。実験の結果、プロセッサが 1 個のときに対して 2 個のときで約 1.17%、4 個のときで約 1.71% 解は悪くなったが、実行時間はそれぞれ約 57%、約 91% と大幅に短縮されることが確認できた。

5. おわりに

本論文では仮想位置に基づいてセル対を交換することにより、層割当てを考慮した 3 次元 VLSI における配置を決定する手法を提案し、その有効性を確認した。今後の課題として、手続きの高速化、および形状の異

なるセルに対する配置手法の開発などがある。

参考文献

- 1) Takahashi, S., Onodera, T., Hayashi, Y. and Kunio, T.: A new 3-D MCM fabrication technology for high-speed chip-to-chip communication: Vertically connected thin-film chip (VCTC) Technology, *Proc. 1995 Symposium on VLSI Technology*, pp.135–136 (1995).
- 2) Meleis, W.M., Leeser, M., Zavracky, P. and Vai, M.M.: Architectural design of a three dimensional FPGA, *Proc. 17th Conference on Advanced Research in VLSI*, pp.256–268 (1997).
- 3) Kunio, T., Oyama, K., Hayashi, Y. and Morimoto, M.: Three dimensional ICs, having four stacked active device layers, *IEEE International Electron Device Meeting*, pp.837–840 (1989).
- 4) Yamazaki, K., Itoh, Y., Wada, A., Morimoto, K. and Tomita, Y.: 4-layer 3-D IC technologies for parallel signal processing, *IEEE International Electron Device Meeting*, pp.599–602 (1990).
- 5) 加藤圭太, 大村道郎: 並列計算機を用いた 3 次元 VLSI 初期配置手法の実験的評価, 2000 年電子情報通信学会総合大会, 基礎・境界, p.73 (2000).
- 6) Fiduccia, C.M. and Mattheyses, R.M.: A linear-time heuristic for improving network partitions, *Proc. 19th DA Conf.*, pp.175–181 (1982).
- 7) Wolf, W.: *Modern VLSI Design: A Systems Approach*, Prentice Hall (1994).

(平成 12 年 12 月 20 日受付)

(平成 13 年 4 月 6 日採録)