『新風』プロセッサのマルチポート・データキャッシュ

3P−1

納富 昭　久我守弘　村上和彰　富田眞治
(九州大学大学院総合理工学研究科)

1. はじめに

我々は，SIMP（Single Instruction stream／Multiple instruction Pipelining）に基づくスーパスカラ・プロセッサ『新風』を開発している[1]．『新風』をはじめとするスーパスカラ方式を採るプロセッサにおいては，複数の命令パイプライン内で命令が並列処理される．『新風』プロセッサのように一度に複数のロード／ストア要求が発生するスーパスカラ・プロセッサでは，データキャッシュへのアクセス競合が性能に多大な影響を及ぼすため，何らかの対策が必要である．このデータキャッシュへのアクセス競合を最小限に抑えるために，『新風』ではマルチポート・データキャッシュ（MPDC：Multiple Port Data Cache）を備えている．本稿では，このMPDCの構成について述べる．

2. マルチポート・データキャッシュ[2]

2.1 設計方針

高速アクセスを可能とするために，MPDCは仮想アドレス・キャッシュとし，ダイレクト・マッピング，コピー・バック方式を採用した．また，ラインサイズ，キャッシュ容量は，それぞれ64バイト，512Kバイトとした．さらに，各命令パイプラインから送られてくるロード／ストア要求を並列に処理するために，以下に挙げる方針に基づきMPDCの設計を行った．

①『新風』プロセッサの4本の命令パイプラインに対応し，ロード／ストアのためのポートを4個設ける．
②各要求のタグ・アレイへのアクセスを並列に処理するために，タグ・アレイ自体を複数用意する．
③データ・アレイへのアクセス競合を最小限に抑えるために，データ・アレイをバンク化する．

2.2 構成に関する検討

2.1節で述べた方針に基づいて設計を進めるにあたり，以下に挙げる項目について検討する必要がある．

(1) ステージ構成

MPDCでは複数の要求を同時に処理するために，タグ・アレイへのアクセスやデータ・アレイへのアクセスにおいて生じ得るコンフリクトに対処する必要がある．その点を考慮して，以下の4つの処理ステージを考える；

①タグ・アレイへのアクセスのコンフリクトの検出および解消：TC（Tag Conflict）ステージ
②タグ・アレイへのアクセス：TA（Tag Access）ステージ
③データ・アレイへのアクセスのバンク・コンフリクトの検出および解消：BC（Bank Conflict）ステージ
④バンクへのアクセス：BA（Bank Access）ステージ

これら4つのステージ間の順序関係を踏まえた上で実際の処理ステージの構成を考えてみると，図1に示すように，基本的に以下の3つに分類できる．

ⓐタイプA：TC, TA, BC, BAの各処理ステージを逐次的に行う（図1 (a) 参照）．この構成はすべての処理を逐次的に行うために，アクセス・タイムが遅くなるという問題点が生じる．

ⓑタイプB：TAステージの処理とBCステージの処理を並列に行う（図1 (b) 参照）．タイプAよりも高速であるという利点があるが，TAステージにおいてミスヒットであった要求がバンクへのアクセス権を獲得するという非効率的な状態が発生し得る．

ⓒタイプC：タグを複数設ける場合，タイプA，Bではポート対応にタグを設けるが，バンク化されたデータ・アレイ対応にタグを設けることもできる（図1 (c) 参照）．この構成では，タイプA，および，タイプB両方の欠点を生じてしまう．しかし，TAステージにおいてヒットであることが確認された要求が，バンク・コンフリクトのために処理が遅れるという状態は発生しない．タイプA，Bではミスヒットが発生した場合，まずバンク・コンフリクトの解消を待っている要求の処理を先に終了してからでないとミスヒット処理を実行できないという問題があり，制御が複雑になる．

また@ⓑにおいてタグをポート数と同じだけ用意した特別な場合として以下の2種類がある．

ⓓタイプA'：タイプAにおいて，タグをポートの数だけ設けることにより，TCステージを省略することができる．これにより，タイプAよりもアクセス速度は向上し，タグへのアクセスのコンフリクトを検出・解消するための回路が不

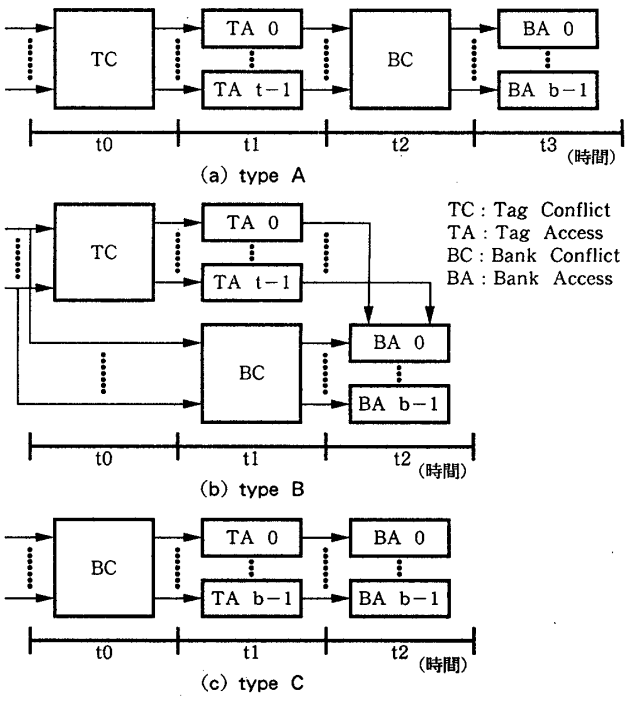


図1 MPDCのステージ構成

Multiple Port Data Cache of the 【ʃimpu:】 Processor
Akira NODOMI, Morihiro KUGA, Kazuaki MURAKAMI and Shinji TOMITA
Kyushu University

要となるが，タグ自体のハードウェア量は増加する．

ⓔタイプB'：タイプBにおいて，タグをポート数分設けることによりTCステージを省略し，タイプB以上にアクセス速度の向上を狙った構成である．しかし，タイプBと同様の問題点が残る．

以上ⓐ〜ⓔの構成について，実際にどのタイプが効果的であるか，ハードウェア量との兼ね合いから決定する必要がある．

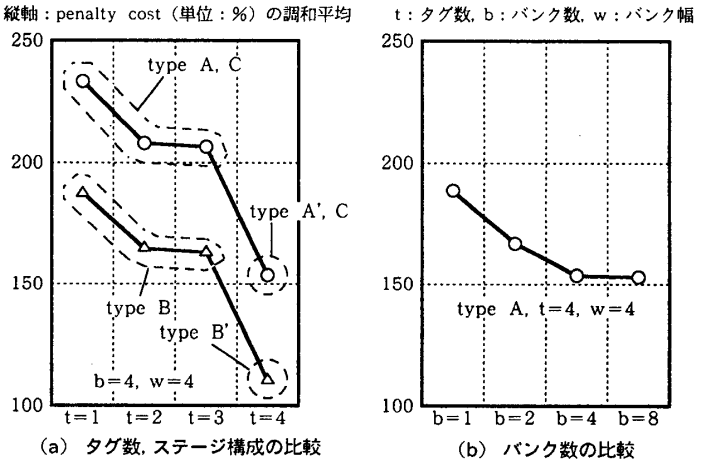
(2) バンク数，および，バンク幅

『新風』では1, 2, 4, 8バイトの4種類のデータ長によるメモリ・アクセスをサポートしている．したがって，データ・アレイのバンク化を考える上で，そのバンクの幅を何バイトにするか，また，バンク数をいくつにするかが問題となる．バンク数が多いほどコンフリクトは減少するが，バンク数に比例してコンフリクト処理のためのハードウェア量も増大するので，妥当なバンク数，バンク幅を考える必要がある．

2.3 シミュレーションによる評価

2.2節で述べた項目に関し，ソフトウェアによるMPDCのシミュレーションを行って，その結果を決定のための指針とした．シミュレーションは『新風』とほぼ同じ命令セット・アーキテクチャであるSPARCプロセッサを用いたワークステーション（Sun-4）上で，dhrystone, whetstoneなど6種類のベンチマーク・プログラムを動作させた時のトレース・データをもとに行った．シミュレーション結果は各々のベンチマーク・プログラムでシミュレートした場合のpenalty costの調和平均を算出して整理した．

この結果，まずタグ数に関しては，図2 (a) のグラフに示したように，タグを4個（すなわち，ポート数と同じだけ）設けた場合に非常に良い結果が得られることがわかる．また，バンク数については，図2 (b) のグラフに示したようにバンク数を4以上にしても性能向上はほとんど見られない．よって，タグ数，バンク数はともに4と決定した．また，バンク幅およびステージ構成についても，シミュレーション結果からバンク幅は4バイト，ステージ構成はタイプB' の場合が良いという結果が得られた．



(a) タグ数，ステージ構成の比較　(b) バンク数の比較

図2 シミュレーション結果

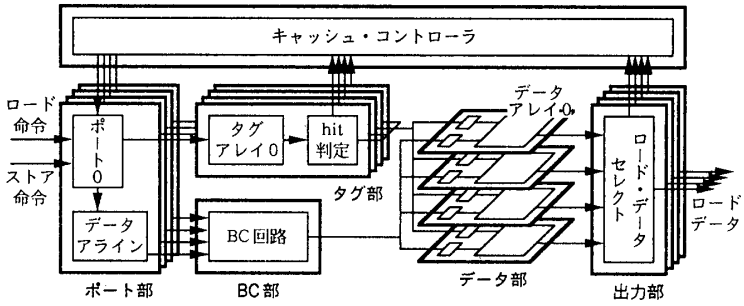


図3 MPDCのハードウェア構成

3. MPDCのハードウェア構成

2.3節の結果に基づいて決定したMPDCの構成は，図3に示すように以下の6ブロックから成る．

①ポート部：命令パイプラインに対応して4つ存在し，各命令パイプラインから送られてくるロード／ストア命令を受け付ける．命令パイプラインではダイナミック・サイジングを行わないので，ストア命令の場合，そのストアデータをバンク内の適切な位置にアラインメントして③のバンク・コンフリクト部に送る．

②タグ部：ポートに対応して4つ存在するが，タグの内容はすべて等しい．タグを比較した結果は各バンクに送られ，ミスヒットであった命令がバンク内のデータを更新するのを防ぐ．また，ミスヒットであった場合には，キャッシュ・コントローラに渡しミスヒット処理を要求する．

③バンク・コンフリクト部（BC部）：ポート部において受け付けられた命令はタグを引くと同時にBC部に送られる．BC部ではこれらの調停を行い，次段のデータ部へ渡す．バンクへのアクセス権を獲得できなかった命令は，BC部内のバッファで待機する．

④データ部：4バンク，4バイト幅の構成のデータ・アレイである．

⑤出力部：命令パイプラインに対応して4つ存在する．各バンクから出力されたロード・オペランドを要求した命令パイプラインに送るためのセレクタ，データの符号処理，および，命令パイプライン内でのデータ形式に合わせるために逆アラインメントを行う回路から成る．

⑥キャッシュ・コントローラ：ミスヒットが生じた際に，①〜⑤の各ブロックの制御，および，MMUとの入出力を受け持ち，ミスヒット処理を進める．

4. おわりに

以上，『新風』プロセッサのMPDCの構成について述べた．MPDCではデータの並列アクセスを許すという特徴ゆえに，同時に複数のミスヒットが発生し得るが，ミスヒット1回までであれば後続アクセスを許す，ノンブロッキング・キャッシュとしている．今後の課題としては，そのミスヒット処理機構の検討・設計が挙げられる．

参考文献

[1] K.Murakami, et al.: "SIMP (Single Instruction stream／Multiple instruction Pipelining): A Novel HighSpeed Single Processer Architecture," Proc. 16th Int'l. Symp. on Computer Architecture, pp.78-85, May. 1989.

[2] 納富昭：“スーパスカラ・プロセッサ『新風』のデータ供給機構,” 九州大学工学部卒業論文（1990年2月）．