

仮想メモリコピー方式を用いたプロトコル処理装置の検討

4Q-10

丸山 充†

阪本秀樹†

石橋 豊†

松下茂彦‡

†NTT 情報通信処理研究所

‡NTT アドバンステクノロジー

1 はじめに

回線速度の向上にとまない、階層化プロトコル処理の高速化の検討が重要になっている。本稿では、プロトコル処理の中で占める割合が大きいメモリ間コピー操作の軽減をねらって、プロトコルの各レイヤ処理の中でコンテンツをコピー操作することなく処理を進める方式を提案し、その効果を明らかにする [文献1]。

具体的には、プロトコルの各レイヤ処理ごとに仮想空間と実メモリ空間のアドレスを変換するメモリマッピング回路を付加することで、各レイヤでのヘッダの付加・削除およびパケットの分解・組み立ての際に必要なメモリコピー操作をメモリマッピング回路への指示だけで仮想的に実現する。

2 仮想メモリコピー方式

プロトコル処理で用いるパケットは、制御情報の入ったヘッダ部分と内容の入ったコンテンツ部分から構成され、各レイヤ処理で編集・分析、分解・組み立てなどの処理が行われる。

従来の各レイヤ処理 n では図1に示すように、下位レイヤ $n-1$ からのパケットをデータメモリ M を介して読み出し、ヘッダ削除等の必要な処理を行った後に上位レイヤ $n+1$ に渡すためにデータメモリ N へ書き出していた。このため各レイヤ処理では、データメモリからの読みだし操作や書き込み操作に多大なオーバーヘッドが存在していた。

本方式では図2に示すように、各レイヤ処理ごとにメモリマッピング回路を付加する。各レイヤのデータの移動操作にはメモリマッピング回路の実メモリと仮想メモリのアドレス変換機能を使うことで仮想的にメモリコピー機能を実現することができる。このため図2のB、Cのコンテンツの部分は、コピー操作する必要がない。

本方式は上位レイヤから下位レイヤへのデータ送信時に、上位レイヤで扱う長大なパケットを細かく切り出して、下位レイヤでヘッダを付加する処理に用いることができる。図3で上位レイヤ n から渡されるパケットは、レイヤ n のアドレス空間の n -header と n -content に割り当てられ、これらが、メモリマッピング回路を経由して実際のデータメモリアドレス空間に割り当て

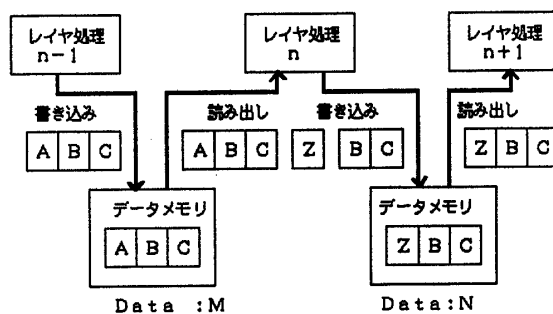


図1: 従来方式によるプロトコル処理

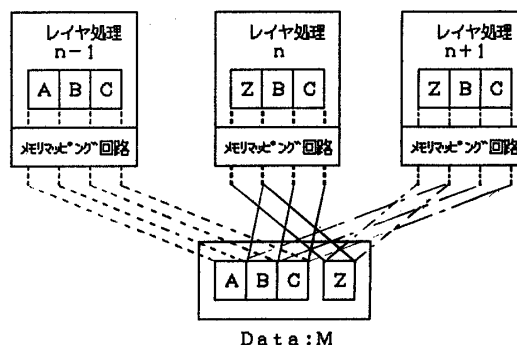


図2: 本方式によるプロトコル処理

られる。下位レイヤ $n-1$ は、上位レイヤから渡されるパケットをA、Bの2つに分割し、これらにヘッダを付加してパケットを作成する。このためにメモリマッピング回路を操作して、データメモリアドレス空間上の $n-1$ content(A) と $n-1$ header(A) を連結してパケットAを作成し、 $n-1$ content(B) と $n-1$ header(B) を連結して、パケットBを作成する。

また本方式は下位レイヤから上位レイヤへのデータ受信時に、下位レイヤのパケットからヘッダ部を削除し、コンテンツ部分だけを組み立てる処理に用いることができる。図4で下位レイヤ $n-1$ から渡されるパケットは、レイヤ $n-1$ のアドレス空間のパケットAの $n-1$ header(A) と $n-1$ content(A) およびパケットBの $n-1$ header(B) と $n-1$ content(B) に割り当てられ、これらがメモリマッピング回路を経由して実際のデータメ

Protocol Processing Unit using pseud memory copy method

Mitsuru MARUYAMA†, Hideki SAKAMOTO†, Yutaka ISHIBASHI†, Shigehiko MATSUSHITA‡

†NTT Communication and Information Processing Laboratories

‡NTT Advanced Technology

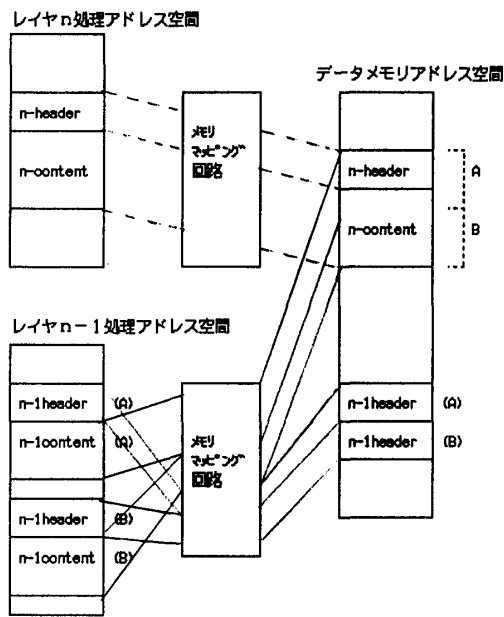


図 3: 上位レイヤから下位レイヤへのプロトコル処理

モリアドレス空間に割り当てられる。レイヤnでは、レイヤn-1から渡されるA、Bの2つのパケットのコンテンツ部分を連結してから、レイヤnのヘッダn-headerとコンテンツn-contentに分解する。このためにメモリマッピング回路を操作して、レイヤn処理アドレス空間上にn-1 content(A)とn-1 content(B)を連結する。

3 評価結果

本方式の効果を明らかにするために、性能評価を行った結果を図5に示す。図5においてグラフの横軸がレイヤ間で分解・組み立て操作をするパケット数、縦軸が処理に要するクロック数である。また実線が本提案の仮想メモリコピー方式でメモリマッピング対象最大数が5のもの、破線が従来のCPUだけを用いてコピー操作により処理を行ったものでパケットサイズを変化させて3種類示している。

これによると、処理するパケット長が長いほどパケット長に依存しない本方式が有利になり、パケット長4KBでパケット数5の時には、本方式の処理性能は7.8倍にも達することがわかる。またパケット数が少ない場合には本方式ではメモリマッピング回路を操作するためのオーバーヘッドが多く、かえって時間がかかる場合もあることがわかる。なお本方式の処理クロックがステップ関数的に上がっているのは、実際に評価に用いたもののメモリマッピング数が5であったため、それ以上のパケット数を扱うためにはメモリマッピングレジスタ入れ替え等のオーバーヘッドが増えるためである。

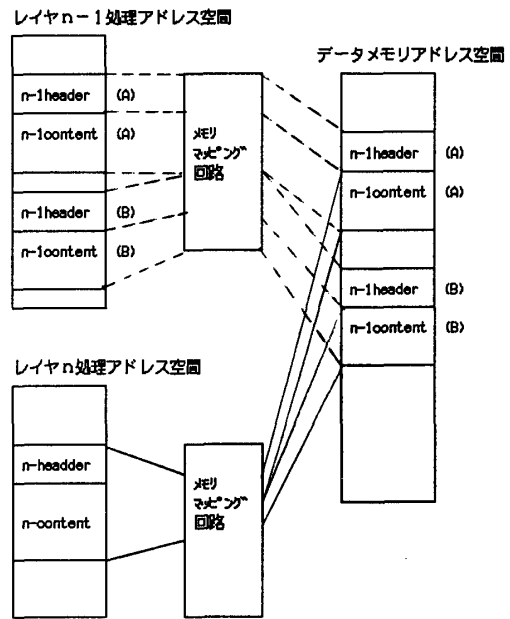


図 4: 下位レイヤから上位レイヤへのプロトコル処理

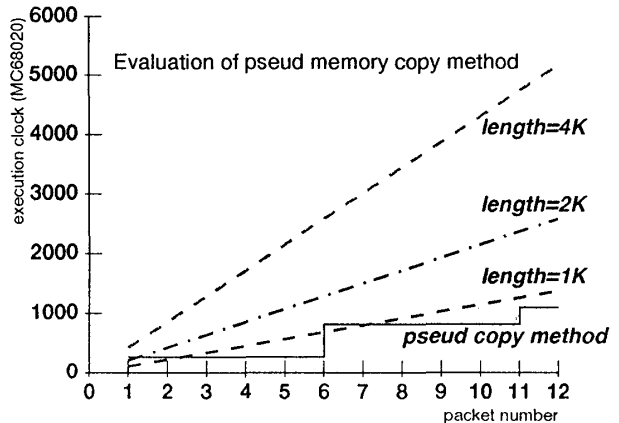


図 5: 評価結果

4 おわりに

プロトコル処理の中で占める割合が大きいメモリ間コピー操作の軽減をねらって、プロトコルの各レイヤ処理においてコンテンツをコピー操作することなく処理を進める方式を提案し、その効果を明らかにした。

この結果、本方式はコンテンツ部分が長くかつ各レイヤ間で組み立てや分解のために受け渡すパケット数が多い場合に特に有効であることが分かった。このことから本方式は、コンテンツ部分が長い画像情報や音声情報に特に有効である。

今後は本方式を実際にプロトコル処理装置に適用し、評価をすすめる予定である。

参考文献

- [文献 1] 丸山他 特許出願 昭和63-121606号
メモリ管理装置