

共有バスを用いたプロトコル処理装置の構成法

4 Q-8

阪本秀樹[†] 丸山 充[†] 石橋 豊[†] 松下茂彦[‡]

[†]NTT 情報通信処理研究所 [‡]NTT アドバンステクノロジー

1 はじめに

高速広帯域通信の発展に伴い、高速なプロトコル処理装置が望まれている。

プロトコル処理装置は、処理内容が階層毎に独立していることから、階層毎に処理プロセッサを分けてマルチプロセッサ構成をとるのに適している。

本稿では、プロトコル処理装置を、共有バスにより複数のプロセッサと共有メモリとを接続したマルチプロセッサ構成とする場合、共有バスを制御情報バスとデータバスの2本に分ける構成法を提案する。また、装置のバス性能として、1個のプロトコルデータユニット(PDU)の装置の通過時間を評価尺度とし、1バス構成の場合との比較を行う。

2 検討モデル

2.1 プロトコル処理装置の構成

図1に本稿で提案するプロトコル処理装置の構成を示す。

- 同一構成のプロトコル処理プロセッサが全部でk個共有バスに接続されている。各プロセッサは、共有メモリ(CM)上にあるPDUから自層のヘッダ情報を読み取り、その情報に基づきプロトコル処理を行う。[ヘッダの読み取り]
- 上位/下位のインターフェース制御プロセッサはそれぞれ上位装置/通信網とのインターフェース制御を行い、入出力デバイス(I/O)よりPDUの到着があれば、データバスを使用してCMに転送する。また、プロトコル処理を全て終了したPDUをデータバスを使用してCMから読み出し、I/Oに出力する。[PDUの転送]
- インターフェース制御プロセッサおよびプロトコル制御プロセッサは、自分の処理終了後に次に処理を行うべきプロセッサに対してプロセッサ間通信を行う。プロセッサ間通信には、各プロセッサのローカルバスと制御バスとのデュアルポートを持つメールボックスメモリ(MB)を使用する。[プロセッサ間通信]

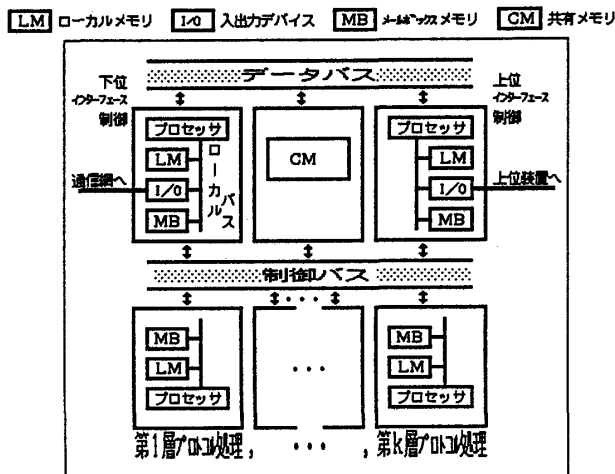


図1: プロトコル処理装置の構成

以上のようにバス使用目的は、制御バスはヘッダの読み取りとプロセッサ間通信、データバスはPDUの転送と分類できる。表1のパラメータ変数を用い、このプロトコル処理装置が1PDUを処理するのに必要なバス使用回数とバス使用時間を整理すると表2のようになる。このとき、プロトコル処理のほとんどは、データ転送のように各プロトコル処理プロセッサが独立に処理を進めることができるので、処理終了通知以外のプロセッサ間通信については無視する。

2.2 制御バス / データバスの待ち行列モデル

次に、制御バス / データバスの待ち行列に着目する。まず、到着については、各プロセッサの処理終了時間、およびPDUの到着時間はランダムであると考え、全体として、共有バスの使用要求をポアソン到着で近似する。その場合の各バスの平均到着率は、表2の使用回数の合計にPDUの到着率を掛けることにより与えられる。また、使用時間については、(表2)に示すように使用目的ごとに一定である。

以上の条件より、制御バス / データバスにそれぞれ表3のモデルパラメータをもとに $M/G/1(\infty)$ 待ち行列

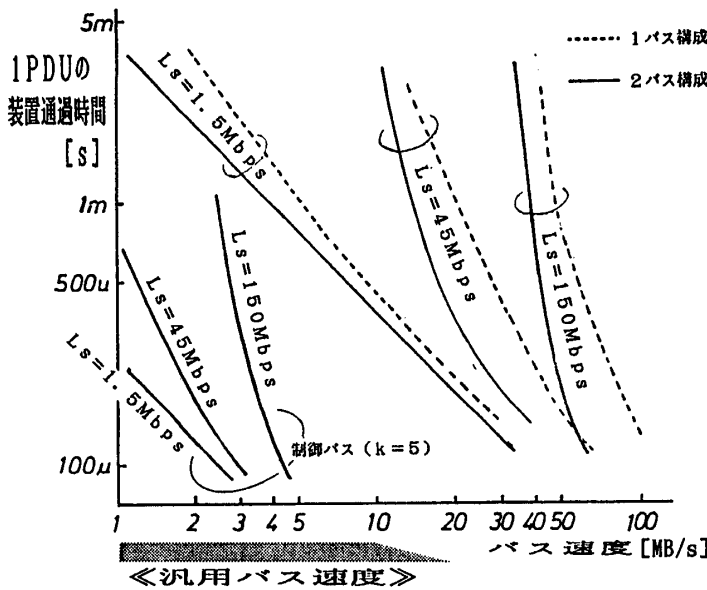


図 2: 1PDU の装置通過時間

モデルを適用することができる。

3 評価結果

3.1 バス使用の平均待ち時間

M/G/1(∞) 待ち行列モデルによって計算 [文献 1] したバス使用 1 回あたりの平均待ち時間の近似値を表 4 に示す。表 1 の代表値にも示すように一般にプロセッサ間通信情報長 (M) やプロトコルヘッダ情報長 (H) は PDU 長 (D) に比べて十分短く、バスの使用は PDU の転送が支配的となる。その結果、プロトコル処理装置の特徴として、PDU が転送されるバス (2 バス構成のデータバスおよび 1 バス構成の共有バス) の待ち時間は、近似的に D, M, H, k には無関係であり、回線速度とバス速度との比率 (PDU 転送の使用率に相当) のみにより決まる。

従って、装置のバス性能を向上をねらう場合、使用時間が短く、使用頻度の高い制御系の転送を PDU が転送されるものとは別のバスに移すことが有効である。

3.2 PDU の装置通過時間

装置のバス性能の評価尺度として、1 つの PDU がプロトコル処理装置を通過する時間 (処理時間を 0 とし、平均バス待ち時間をもとにバスの使用時間を積み上げたもの) を図 2 に示す。なお、参考として同図に現在広く利用されている汎用システムバス (VME 等) の転送速度と、2 バス構成の際の通過時間の内訳としての制御バスのみの通過時間も示す。パラメータ変数には表 1 の代表値を代入した。図 2 より以下のことがわかる。

1. 同一のバス速度で比較した場合、1 バス構成に比べ 2 バス構成では、通過時間が 1/3~1/5 に短縮さ

れる (回線速度:45Mbps—150Mbps)。

2. 全通過時間の内、制御バスの通過時間の占める割合は 1/100 以下である。

2 バス構成の制御バスには、さほど速度が要求されないため、データバスには短い特殊仕様の高速バスを、制御バスには汎用システムバスを用いるといった装置構成が可能となる。その結果、制御バスにさらに別装置とのインターフェースや保守運用装置を接続する等、装置構成の自由度をあげることができる。

4 おわりに

本稿では、プロトコル処理装置を共有バスを介したマルチプロセッサ構成にする場合、制御バスとデータバスの 2 バス構成とすることにより PDU の装置通過時間が 1/3~1/5 に短縮され、また、システム構成の自由度の点でも有利であることを示した。

現在当研究グループでは、2 バス構成のプロトコル処理装置の試作を行なっている。

参考文献

- [文献 1] 牧野「待ち行列の応用」森北出版 (1969)

表 1: パラメータ変数

名称	変数	代表値 †	[単位]
PDU 長 †	D	2	[kB]
プロセッサ間通信情報長 †	M	0.032	[kB]
プロトコルヘッダ長 †	H	0.008	[kB]
プロトコル処理プロセッサ数	k	5	[個]
バス速度	Bs	1000 ~ 100000	[kB/s]
回線速度	Ls	190 ~ 19000	[kB/s]

† 全プロトコル層で同一の大きさであるとする。

† 図 2 の評価で使用した値。

表 2: 1PDU 処理に必要なバス使用の回数と時間

使用目的	使用バス	使用回数	使用時間
制御バス	ヘッダの読み取り	k	H/Bs
	プロセッサ間通信	k+2	M/Bs
データバス	PDU の転送	2	D/Bs

表 3: バス使用の待ち行列モデルパラメータ

装置構成	平均到着率 (λ)	平均使用時間 (x̄)
制御バス	$2(1+k) \times Ls/D$	$\frac{(2+k) \cdot M + k \cdot H}{2(1+k) \cdot Bs}$
データバス	$2 \times Ls/D$	D/Bs
1 バス構成	$2(2+k) \times Ls/D$	$\frac{2 \cdot D + (k+2) \cdot M + k \cdot H}{2(2+k) \cdot Bs}$

表 4: バスの平均待ち時間の近似値 (D ≫ H, M: k=5 が成立する場合)

装置構成	平均待ち時間 [s]
制御バス	$\frac{Ls((2+k) \cdot M^2 + k \cdot H^2)}{2 \cdot Bs(D \cdot Bs - Ls((2+k) \cdot M + k \cdot H))}$
データバス	$\frac{2 \cdot Ls}{Bs(Bs - 2 \cdot Ls)}$
1 バス構成	$\frac{2 \cdot Ls}{Bs(Bs - 2 \cdot Ls)}$