

通信プロトコル高速処理プロセッサの方式提案

4Q-7

横山 達也 松井 進 平田 哲彦 水谷 美加 寺田 松昭
(株)日立製作所 システム開発研究所

1. はじめに

ローカルエリアネットワーク(LAN)の伝送速度は、FDDIの標準化により、従来の主流だった10Mbpsから100Mbpsへと高速化された。しかし、OSI等の通信プロトコル処理をソフトウェアで実行すると、計算機での通信プロトコル処理時間が大きく、LANの伝送速度に見合った計算機間実効データ転送スループットが出ていないのが現状である。通信プロトコル処理の高速化を目的とした研究としては、標準化されたOSIプロトコルを対象とする研究[1]と、高速処理が可能な新しい通信プロトコルを提案する研究[2]がある。本稿では、今後、普及が予想されるOSI通信プロトコルのレイヤ2~4に適用可能な通信プロトコル処理の高速化方式を提案する。

2. プロトコル処理高速化のアプローチ

OSIプロトコル処理の高速化アプローチとしては、以下の方式がある。

- ①高性能マイクロプロセッサの採用
- ②プロトコル処理のハードウェア化

①の方式は、RISC等に代表される高性能マイクロプロセッサを使用し、通信プロトコル処理オーバヘッドを短縮させようとするものである。②の方式は、通信プロトコル処理の特徴にあった専用ハードウェアを設けようとするものである。

本稿では、高性能化が期待できるハードウェア化方式を採用する。

3. 通信プロトコル処理のハードウェア化に対する課題

従来、OSIのレイヤ4(トランスポートプロトコル・クラス4)に代表される複雑な通信プロトコルのハードウェア化は、困難といわれていた。これは、①処理が複雑なために、膨大なハードウェア量になることが予想される、②ハードウェア化は、汎用性および、拡張性・柔軟性を低下させるといった原因による。すなわち、通信

プロトコル処理のハードウェア化においては、高速性を有しながら、相反する条件である汎用性および拡張性・柔軟性を実現していくことが、方式決定上の重要なポイントとなる。

4. 通信プロトコル処理のハードウェア化方式

本稿では、①通信プロトコル処理のうち、特に高速性が要求されるのは、データ転送正常処理であること、②各種通信プロトコルのデータ転送正常処理には、類似性が高いこと、③各種通信プロトコルにおいて仕様の違いが大きい処理及び、各種オプションに対応できる柔軟性が要求される処理が、コネクション制御処理及び、データ転送異常処理に多く見られるといった通信プロトコルの特徴に着目し、通信プロトコル処理のハードウェア化方式として、以下の方式を提案する。

- (1) 通信プロトコル処理をデータ転送正常処理と、それ以外の処理(コネクション制御処理及びデータ転送異常処理)に分ける。
- (2) データ転送正常処理のみを専用ハードウェアで行い、他の処理を、汎用プロセッサで行う。
- (3) 隣接レイヤとのインタフェース手段及び、(1)の判定機能を専用ハードウェア内に設け、汎用プロセッサを専用ハードウェアのバックエンドプロセッサとして、機能させる。

本提案方式の効果を以下に示す。

- (1) 通信プロトコル処理のうち、計算機間での実効データ転送スループットに係り、特に高速性が要求されるデータ転送正常処理を専用ハードウェアで行うため、高性能が得られる。
- (2) 専用ハードウェア化する機能が、データ転送正常処理に限られているため、複雑な通信プロトコルでも、コンパクトにハードウェア化できる。
- (3) 各種通信プロトコルにおいて仕様の違いが大きい処理及び、各種オプションに対応できる柔軟性が要求される処理が、ソフトウェアで記述できるため、汎用性及び、柔軟性が確保できる。

Proposal of high speed communication protocol processor

Tatsuya YOKOYAMA, Susumu MATSUI, Tetsuhiko HIRATA, Mika MIZUTANI, Matsuaki TERADA
HITACHI, Ltd.

5. 通信プロトコル高速処理プロセッサの構成

以上の高速化方式を適用し、レイヤ2~4のOSI通信プロトコルを高速に実行する通信プロトコル高速処理プロセッサのハードウェア構成を図1に示す。適用した具体的な通信プロトコルは、以下である。

レイヤ4：トランスポート・クラス4 (TP4)

レイヤ3：CLNP

レイヤ2：LLC (タイプ1)

通信プロトコル高速処理プロセッサは、プロトコルレイヤ単位に設けた専用ハードウェア及び、1つの汎用プロセッサで構成している。ハードウェア構成上の特徴を以下に示す。

(1) 階層化プロトコルのパイプライン処理

専用ハードウェアを多段接続し、階層化された通信プロトコルをパイプライン処理することにより、スループットの向上を図っている。

(2) 効率の良いメモリアクセス方式の採用

通信プロトコル処理を高速に行うためには、バッファメモリ上に格納される通信プロトコル制御情報(プロトコルヘッダ)のアクセスを高速に行う必要がある。しかし、OSIのプロトコルヘッダは、その形式上、メモリ境界を揃えて格納されるとは限らない。従来のマイクロプロセッサは、メモリ境界をまたがって格納されたデータのアクセスを複数回に分割して行うが、本プロセッサでは、バウンダリ調整回路を設けることにより1回で行える。

通信プロトコル高速処理プロセッサにおけるプロトコルシーケンス及び、専用ハードウェア化した部分を図2に示す。

6. 性能評価

実験システムにより、送信処理(DT送信処理+AK受信処理)時間及び、受信処理(DT受信処理+AK送信処理)時間を測定した結果、同一処理をソフトウェアでインプリメントした場合に比べ、送信処理で1/12に、受信処理で1/7に短縮できることを確認した。

7. まとめ

通信プロトコル処理の高速化を目的に、正常なデータ転送処理を専用ハードウェアで、その他の処理を汎用プロセッサで実行するプロトコル高速処理方式を提案し、実験システムにより、その有効性を確認した。

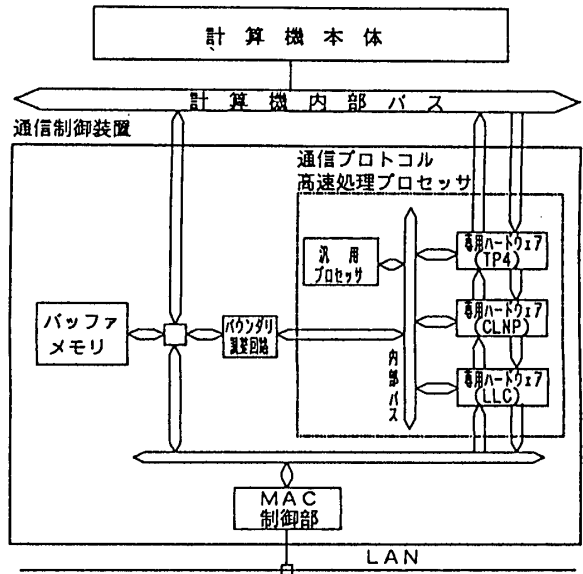


図1 通信プロトコル高速処理プロセッサの構成

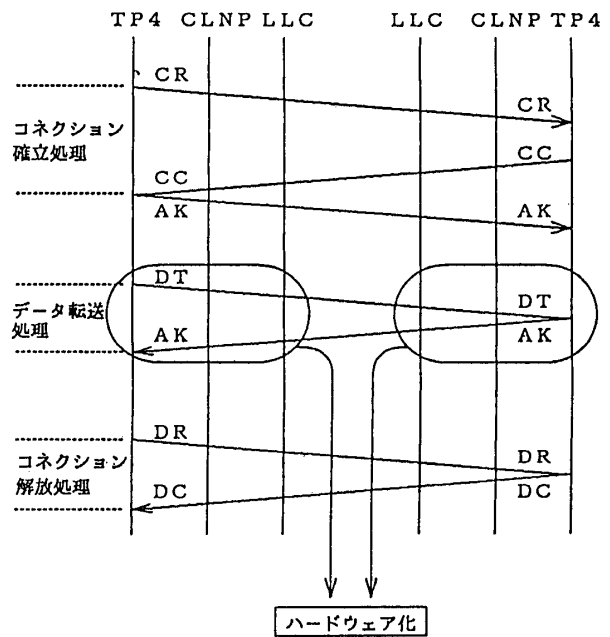


図2 通信プロトコルシーケンス

<参考文献>

[1] H. ICHIKAWA, H. YAMADA, T. AKAIKE, S. KANNO, and M. AOKI: Protocol Control VLSI for Broadband Packet Communications, Globecom'88
 [2] G. Chesson: XTP/PE Overview, Local Computer Network'88