

5M-9

並行設計を考慮したプリント基板の配線パターン検証方法

鏡畑 良弘 藤田 一郎 後藤 二三男 吉澤 和男
 日立ソフトウェアエンジニアリング(株) (株)日立製作所

1. はじめに

大規模な論理回路のコンピュータ等を開発する場合、図1に示すように、プリント基板(PK)、LSIのように、階層設計されることが多い。このため、高速化、高密度化が要求されるプリント基板では、階層間に渡る実装設計をチェックする必要がある。

また、プリントおよび複数のパッケージの実装設計段階には、設計完了前、設計完了後、設計完了後の論理変更等があり、並行設計されている。

本論文では、プリントおよびパッケージにおいて、階層間渡りする配線パターンを、各設計段階の最新状態を用いてチェックすることにより、実装設計工数の削減を図ったことについて述べる。

2. 階層構造とチェック項目

図1に、本方法で取り扱う階層構造の例を示す。

図1ではPK-1からPK-2へ、プリントを通して配線パターンが接続されている。

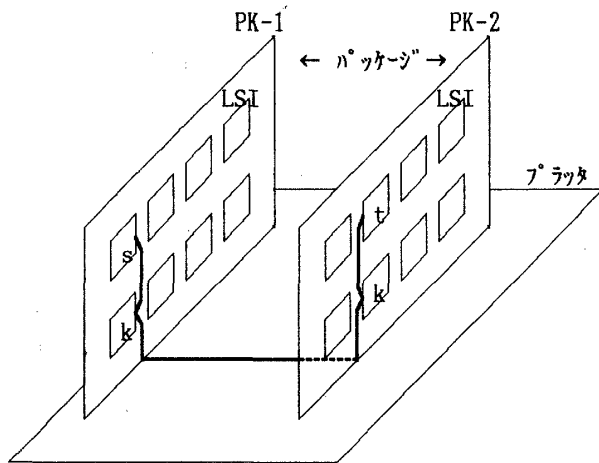


図1 階層構造

プリント、PK-1、PK-2は、それぞれ別の設計データファイルに、論理データや実装データが格納されており、実装設計は各々の設計データファイル単位に、並行して行われる。

実装結果に対する配線規則面の主要チェック項目と、階層渡りチェックの要否を、表1に示す。

表1のネット長やシク数のように、階層渡りチェックが必要な項目は、各設計データファイル毎に独立して並行設計しているため、単階層のチェックでは不良を発見できない。

表1 主要チェック項目

NO	項目	説明	階層渡りチェック
1	ポートスパンシク	ソース シク シク 終端抵抗 $L_{kk} \geq \text{制限値}$	不要
2	シク・終端抵抗間	ソース シク シク 終端抵抗 $L_{kt} \leq \text{制限値}$	不要
3	ネット長	ソース シク シク 終端抵抗 $L_{sk} \leq \text{制限値}$	必要 (図2)
4	シク数	ソース シク シク 終端抵抗 $N_k \leq \text{制限値}$	必要 (図2)

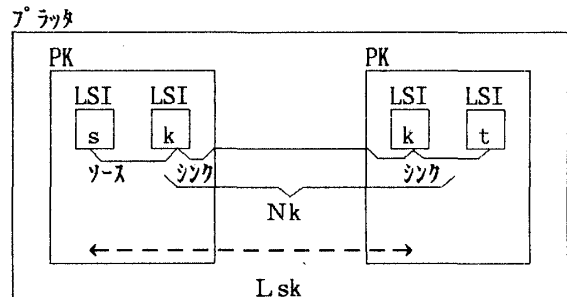


図2 階層渡りチェック項目の例

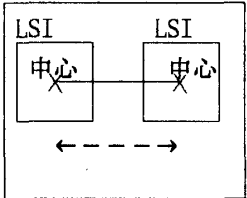
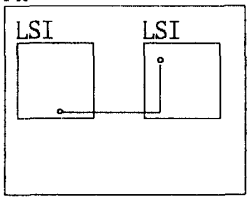
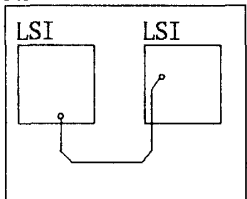
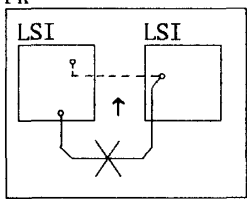
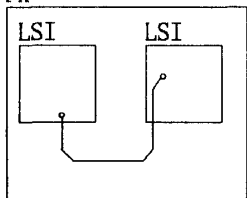
A Check Method for Wiring Pattern on PCBs Considering Parallel Design

Yoshihiro KAGAMIHATA¹, Ichiro FUJITA¹, Fumio GOTO², Kazuo YOSHIZAWA²

1:HITACHI SOFTWARE ENGINEERING Co.,Ltd, 2:HITACHI,Ltd

3. 実装設計段階と配線長

各PKおよびプラッタは、並行設計されているため、チェック時の実装設計段階が表2の様に4通りのケースがあり、配線長は表2のように求める。

NO.	実装設計段階	配線長	例
1	ピン割付け前	部品の中心間のマンハッタン長	PK 
2	ピン割付け後	ピン間のマンハッタン長	PK 
3	配線後	実線長 (配線パターンより求めた配線長)	PK 
4	論理変更後	変更を受けたネット	ピン間のマンハッタン長 PK 
		変更を受けないネット	実線長 PK 

4. 実装設計段階が混在するときの配線長算出例

プラッタやパッケージは並行して実装設計されるので、図3のように設計段階が異なる階層が混在する場合が普通である。

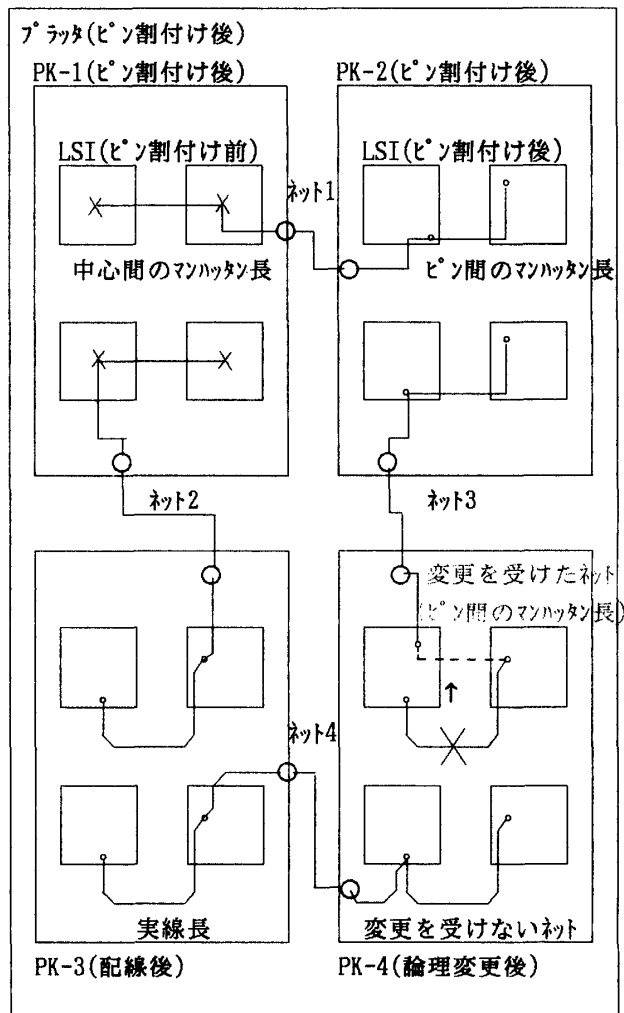


図3 実装設計段階の混在

図3において、プラッタはピン割付け後であり、配線長としてマンハッタン長を用いる。PK-1上のLSIは配置後であり、部品の中心間のマンハッタン長を用いる(ネット1,2)。PK-2および、PK-2上のLSIはピン割付け後であり、ピン間のマンハッタン長を用いる(ネット1,3)。PK-3は配線後であり、実線長を用いる(ネット2,4)。PK-4は論理変更後であり、変更を受けたネット(ネット3)は、変更後のピン間のマンハッタン長を用いる。変更を受けないネット(ネット4)は、実線長を用いる。

5. おわりに

以上述べたように、各実装設計段階に応じて、最新の実装設計データを用いて配線長を算出し、チェックすることにより、不良の早期発見ができる。これにより、実装設計品質を向上することができた。