

5M-5

遅延時間・電氣的制約を考慮した入出力端子割付けシステム

永井正彦¹ 西山良範¹ 柳田友厚¹ 森国満² 豊島礼治²
 1(株)日立製作所 2 日立コンピュータエンジニアリング(株)

1. 背景

近年コンピュータシステムの高速化、大規模化、高密度実装化が進み、基板配線による遅延時間の影響が大きくなるのと同時に、電氣的制約によるネット長の制約が大変厳しくなっている。

今回、仮想配線長を短くすると共に電氣的制約違反を少なくすることが可能な基板の入出力端子割付けシステムを開発したので、報告する。

2. 考慮項目

第1図を用いてプリント基板1の入出力端子の割付けを行う際の2つの考慮項目、遅延時間短縮、電氣的制約遵守について説明する。

2.1 遅延時間短縮

端子割付け時には、仮想配線長と基板の信号伝播速度を用いて遅延時間を近似する。

第1図に示したネットにおいて、他のネットを考えずに最適な位置の端子

へ割付けた場合図中の点線のようなルートになる($l_{p1} \rightarrow l_m \rightarrow l_{p2} \rightarrow l_{p3}$)。この時の信号遅延時間を

$$D_{min} = (l_{p1} + l_{p2} + l_{p3}) / \alpha + l_m / \beta \quad \dots \textcircled{1}$$

とする。(ここで、 α 、 β はプリント基板、マザーボードの信号伝播速度。)

一方、実際にプリント基板1の端子を割付けた場合には例えば図中実線に示すようなルートとなる。この時の遅延時間は

$$D' = (l'_{p1} + l_{p2} + l_{p3}) / \alpha + l'_m / \beta \quad \dots \textcircled{2}$$

となる。ここで、端子を割付けたことによる遅延時間の増加分を

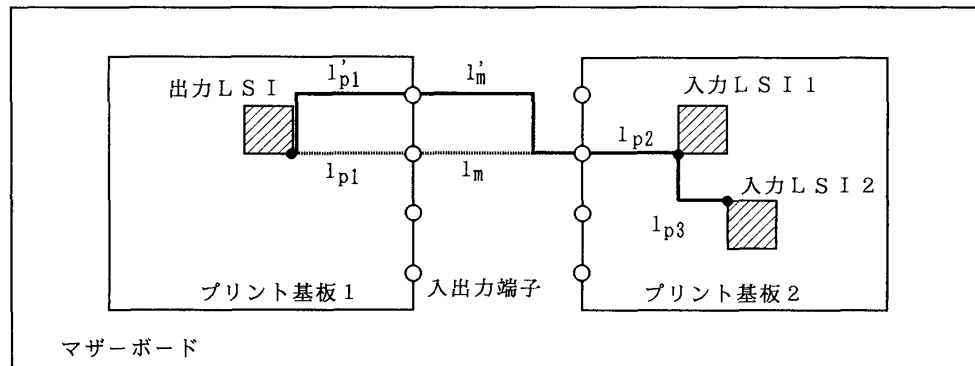
$$\Delta D = D' - D_{min} \quad \dots \textcircled{3}$$

と定義すると、端子を割付ける際には、各端子についてこの ΔD を小さくすればよいことになる。

プリント基板の全体の端子に関しては、極端に遅延時間の大きなネットを出さないために、

$$\sum \Delta D^2 \rightarrow \min \quad \dots \textcircled{4}$$

を目標に割付けを行う。



第1図 端子割付け概要

An Edge Pin Assignment System Considering Delay and Electrical Wiring Length Limitation

Masahiko NAGAI¹, Yoshinori NISHIYAMA¹, Tomoatsu YANAGIDA¹, Mitsuru MORIKUNI², Reiji TOYOSHIMA²

1. HITACHI, Ltd. 2. HITACHI COMPUTER ENGINEERING Co., Ltd.

2.2 電氣的制約遵守

基板の配線抵抗等の要因により、ネットの総配線長をある制限長以下にする必要がある。さらに制限長は、ネットを伝播する信号の繰り返し周波数の差、ネットにつながる入力LSIの数の差等により異なった値となる。

第1図に示したネットの制限長を L_1 、基板の違いによる配線抵抗比を γ とすると、図中実線の状態での電氣的制約は、

$$L_1 > l_{p1} + \gamma l_m + l_{p2} + l_{p3} \quad \dots \textcircled{5}$$

を満足するか否かで判定する。

端子割付けの際には、前もって最適な位置に割付けた場合の制限長に対する余裕長を求めておき、実際に割付けた場合の仮想配線長がその余裕長以下になるように割付けを行う。

図中のネットにおいて、プリント基板1の端子に対する余裕長(L_r)は次式により求める。

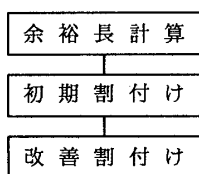
$$L_r = \frac{L_1 - (l_{p1} + \gamma l_m + l_{p2} + l_{p3})}{2} \quad \dots \textcircled{6}$$

ここで2分の1にしているのは、全体の余裕をプリント基板1, 2の端子それぞれで等しく分けるためである。

実際に割付けた場合(例えば図中実線の位置)には、プリント基板内の仮想配線長(l_{p1})を算出し、

$$L_r > l_{p1} - l_{p1} + \gamma (l_m - l_m) \quad \dots \textcircled{7}$$

が成立すれば電氣的制約を満足すると考える。



第2図 割付け処理フロー

3. 割付け処理

端子割付けは、第2図に示すステップにより実行する。

3.1 余裕長計算

処理対象となる全てのネットに関し、最適割付け位置を求め、次のステップで必要となる各種の定数(前節の L_r , l_{p1} , D_{min} 等)を算出する。

3.2 初期割付け

処理対象となる全てのネットを次の規則に従って割付ける。

全ての空端子の中で、ネットを割付けた時に電氣的制約を満足(式⑦成立)しかつ、遅延時間の増加分(式③)が最小となる端子に割付ける。

3.3 改善割付け

初期割付けのみでは、割付け順序の違いによる歪みが残るので、次の条件が成立する全ての端子のペアを交換する。

端子のペアに割付けられたネットを交換することにより、電氣的制約違反数(式⑦が成立しない端子の総数)が減少するか、電氣的制約違反数が増加せず式④の $\sum \Delta D^2$ が減少する。

4. 評価結果

テスト用回路に対し、3種類の異なった割付けを行った結果を表1に示す。

改善割付け、及び、電氣的制約考慮の有効性を確認することができた。

No.	評価項目	$\sum (\Delta D^2)$	仮想配線長合計値	電氣的制約違反数
	割付け方法			
1	初期割付けのみ (制約考慮あり)	2.2	1.1	7.7
2	初期+改善割付け (制約考慮なし)	0.91	1.0	6.5
3	初期+改善割付け (制約考慮あり)	1	1	1

(表中の数値はNo.3を1とした相対値)

表1 評価結果