

4M-3

高集積LSIに対するテスト生成高速化の一手法

横山不二夫、関口克己、森脇都、石山俊、宮本俊介、林照峯、新倉隆夫、浦城恒雄  
(株)日立製作所

1.はじめに

LSIの高集積化、大規模化に伴い、論理回路の診断は、回路全体を一括してテストする一括診断方式<sup>1)</sup>から、スキャン回路を前提とし、回路を分割してテストする分割診断方式<sup>2) 3)</sup>が主流となってきた。しかし、分割診断方式では、スキャン回路やスキャン方式に関わる論理制約違反部のテストができない。本稿では、これらの問題を解決する一手法として、分割診断方式を主体として、スキャン回路専用のテスト生成システムや一括診断方式のテスト生成システムを併用するハイブリッド型のテスト生成システムを提案する。

2.システムの概要

2.1 処理方式概要

各システムの併用方式として、下記のような処理手順を採用した。

- ① スキャン回路等、特定回路専用で処理時間の短いものから実行する。
- ② 次のシステムは、先に実行したシステムの故障検出情報を参照して、既にテスト生成済みの故障を処理対象からはずす。検出率は直前のシステムの検出率も加算する。
- ③ 最後に一般順序回路向けの一括診断方式のシステムを実行する。したがって、ハイブリッド型システムの検出率は、当システムの検出率として計算される。

2.2 各テスト生成方式の特徴

各テスト生成方式は、対象回路の特徴に合わせて最適なテスト生成手法を採用している。2.1の処理手順と表1に示した各テスト生成方式の特徴に基づき、2.3に示すようなハイブリッド型システムを構成した。

表1 各テスト生成方式の特徴

No	方式	特徴	
1	スキャン回路専用	TG: 回路の定形性利用 (RAMテストライクのテスト)	高速
		TS: 観測不能領域の除外 3値(0,1,x)、コンカレント	
2	分割方式	TG: 組合せ回路専用 <sup>4)</sup> ( $N^2-V$ , etc)	高速
		TS: 組合せ回路専用 4値(0,1,X,Z)、RFSIM <sup>5)</sup>	
3	一括方式	TG: 一般順序回路対象 9値Dアルゴリズム <sup>6)</sup> +スキャン回路利用テスト生成 <sup>7)</sup>	低速
		TS: 一般順序回路対象 7値(0,1,X,E,U,D,Z)、コンカレント <sup>8)</sup>	

注)TG:テスト生成部、TS:故障シミュレータ

2.3 ハイブリッド型システム概要

以上述べたことを考慮して、図1のようなハイブリッド型テスト生成システムを構成した。

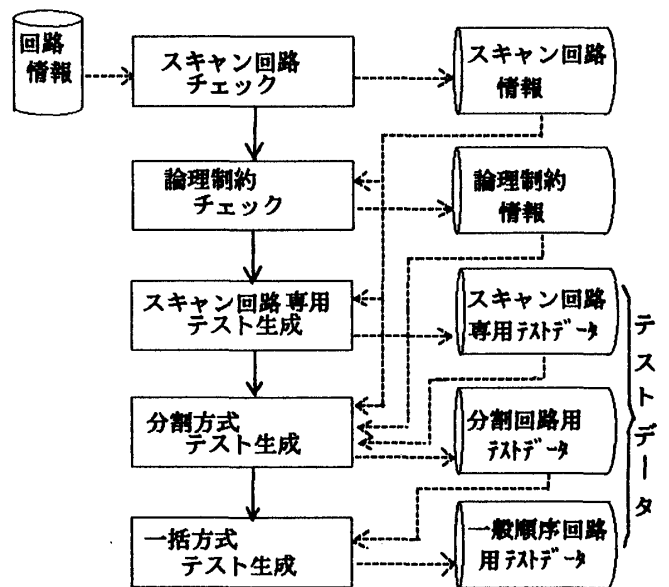


図1 ハイブリッド型テスト生成システム

One method of accerelating test generation for highly integrated LSI  
Fujio Yokoyama, Katsumi Sekiguchi, Kaoru Moriwaki, Shun Ishiyama, Shunsuke Miyamoto,  
Terumine Hayashi, Takao Shinsha, Tsuneo Uraki  
Hitachi Ltd.

3. 故障情報の接続

各テスト生成システムの故障情報を他のシステムで参照できるように、回路の故障仮定モデルを下記のようにした。

- ① 構成素子の等価回路モデルの一致
- ② 構成素子の故障仮定モデルの一致
- ③ 各システムの仮定故障に下記関係が成立

$$F_0 \subseteq F_1 \subseteq F_2$$

- $F_0$ : スキャン回路専用テスト生成システムの仮定故障の集合
- $F_1$ : 分割方式テスト生成システムの仮定故障の集合
- $F_2$ : 一括方式テスト生成システムの仮定故障の集合

このため、組合せ回路用素子の等価回路モデルは、3システムとも同一のものを使用し、順序回路素子の等価回路モデルは以下のようにした。

- ① 3システムに共通な外部機能を持つ基本モデルの作成。また、本モデルの内部には故障仮定をしない。

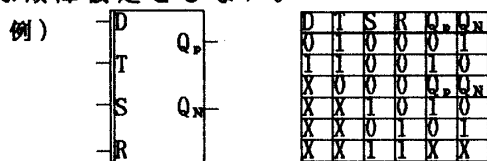


図2 順序回路素子例

- ② 分割方式は①を組合せ回路で表現
- ③ 一括方式、スキャン回路専用システムは①の真理値表に基づき、機能モデルで実現

4. 実験結果

表2に実験結果を示す。

表2 実験結果(単位: %)

	スキャン	分割	一括	合計
処理時間比	10	7	83	100
検出率分担 <sup>a)</sup>	40	55	5	100

a) 各システムの合計検出率構成成分

当ハイブリッドシステムにより、一括診断方式単独システムによるテスト生成に比べ、約10分の1の処理時間で同一検出能力を持つテストデータを作成できた。

本表からわかるように、スキャン回路専用テスト生成システムの対象故障は全体の約40%を占めている。この中にはFFの

セット・リセット端子(図2のS, R)も含まれている。

スキャン回路専用テスト生成と分割方式テスト生成の対象外故障は約5%であった。しかし、この5%の故障のテスト生成に80%の時間を費やしている。これは、従来の一括診断方式システムが、対象故障は削減されても、順序回路を含む回路全体を対象としていることによる。

5. あとがき

高集積LSIのテスト生成手法として、異なる種類の回路を対象とする方法を併用してLSI全体のテスト生成を行うハイブリッド型のテスト生成手法を提案した。

今後の課題を以下に示す。

- (1) 現状一括診断方式テスト生成システムに代わる、分割方式対象外回路の高速なテスト生成方式の必要性検討、開発
- (2) 他の診断技術(RAMテスト、BIST、バウンダリースキャン等)との整合性検討、これらの技術への拡張

参考文献

- 1) Goshima, S. et al.; Diagnostic System for Large Scale Logic Cards and LSI's, Proc. 18th DA-Conf., pp.256-259(1981)
- 2) Eichelberger, E.B. et al.; A Logic Design Structure for LSI Testability, Proc. 14th DA Conf., pp.462-468(1977)
- 3) Funatsu, S. et al.; Test Generation Systems in JAPAN, Proc. 12th DA Conf., pp.114-122(1975)
- 4) 且代他;  $N^2$ 個の論理値を扱うテストパターン生成アルゴリズム, 情報論文誌 Vol.30-NO.9, p1211-1218, (Sep.1989)
- 5) Nishida, T. et al.; RFSIM: Reduced Fault Simulator, IEEE Trans. CAD, Vol. CAD-6, NO.3, pp392-402(1987)
- 6) Muth, P. et al.; A Nine-Valued Circuit Model for Test Generation, IEEE Trans. Computer Vol. C-25, pp630-636(1976)
- 7) 畠山他: 非定型スキャン構造を有する順序回路のテスト自動生成, 第15回FTC研究会資料
- 8) Ulrich, E.G. et al.; The Concurrent Simulation of nearly identical digital networks, Proc. 10th DA Conf. pp.145-150 (1973)